

(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2002-530036

(P2002-530036A)

(43) 公表日 平成14年9月10日 (2002.9.10)

(51) Int.Cl.<sup>7</sup>

H 0 2 M 3/155

識別記号

F I

H 0 2 M 3/155

テーマコード (参考)

W 5 H 7 3 0

審査請求 未請求 予備審査請求 有 (全 87 頁)

(21) 出願番号 特願2000-580058(P2000-580058)  
(86) (22) 出願日 平成11年11月1日 (1999.11.1)  
(85) 翻訳文提出日 平成13年5月1日 (2001.5.1)  
(86) 国際出願番号 PCT/US99/25720  
(87) 国際公開番号 WO00/26740  
(87) 国際公開日 平成12年5月11日 (2000.5.11)  
(31) 優先権主張番号 09/183, 325  
(32) 優先日 平成10年10月30日 (1998.10.30)  
(33) 優先権主張国 米国 (US)  
(31) 優先権主張番号 09/183, 448  
(32) 優先日 平成10年10月30日 (1998.10.30)  
(33) 優先権主張国 米国 (US)

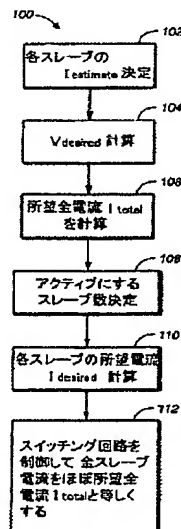
(71) 出願人 ヲオルテラ セミコンダクター コーポレ  
イション  
アメリカ合衆国, カリフォルニア州,  
フレモント, クリスティー ストリート  
42840, スイート202  
(72) 発明者 バーンステイン, アンドリュウ, ジェ  
イ.  
アメリカ合衆国, カリフォルニア州,  
マウンテン ヴュー, レングストロフ  
アヴェニュー 575 ナンバー85  
(74) 代理人 弁理士 山田 行一 (外1名)

最終頁に続く

(54) 【発明の名称】 デジタル電圧調整の方法と装置

(57) 【要約】

デジタル電圧レギュレータは、入力電圧源 (12) に接続される入力端子 (20)、負荷 (14) に接続される出力端子 (22)、および入力端子 (20) を出力端子 (22) へ交互に接続または遮断するための複数のスイッチング回路 (24) を有する。各スイッチング回路 (24) について推定電流が計算され、各推定電流はスイッチング回路 (24) に関連付けられるインダクタ (34) を流れる電流を表す。出力端子 (22) での出力電圧を実質的に一定に維持するインダクタ (34) を流れる全所望出力電流が計算される。スイッチング回路 (24) は、推定電流および全所望出力電流に基づいて制御され、それによりインダクタ (34) を流れる全電流は全所望出力電流とほぼ等しくなる。



**【特許請求の範囲】**

【請求項1】 入力電圧源に接続される入力端子、負荷に接続される出力端子、および前記入力端子を前記出力端子に交互に接続と遮断をする複数のスイッチング回路を有する電圧レギュレータを動作させる方法であって：

a) 各スイッチング回路のための推定電流、すなわち前記スイッチング回路に関連するインダクタを流れる電流を表す各推定電流を計算するステップ；

b) 前記出力端子での出力電圧を実質的に一定に維持する前記インダクタを流れる全所望出力電流を計算するステップ；および、

c) 前記インダクタを流れる全電流が、前記全所望出力電流にほぼ等しくなるように、前記推定電流と前記全所望出力電流に基づいて前記スイッチング回路を制御するステップ；を含む方法。

【請求項2】 ステップ(a)乃至(c)が繰り返される、請求項1の方法。

【請求項3】 ステップ(a)乃至(c)が、前記スイッチング回路の所望スイッチング周波数 $f_{\text{switch}}$ より著しく速いクロック周波数 $f_{\text{clock}}$ で繰り返される、請求項1の方法。

【請求項4】 前記全所望出力電流を計算するステップが、前記スイッチング回路を流れる前記全電流を判定するステップと、前記出力端子に接続されるコンデンサへ、またはそこから流れる容量性の電流を判定するステップを含む、請求項1の方法。

【請求項5】 前記スイッチング回路を流れる前記全電流と判定するステップが、各インダクタに対する前記推定電流を合計するステップを含む、請求項4の方法。

【請求項6】 前記容量性の電流を判定するステップが、前記出力電圧における変動を測定するステップを含む、請求項4の方法。

【請求項7】 前記容量性の電流は以下の式から計算され：

$$I_{\text{CAP}} = C \cdot \Delta V_{\text{out}} / \Delta T$$

ここで、 $C$ は前記出力端子に接続される前記コンデンサの全容量、 $\Delta V_{\text{out}}$ はクロックサイクル全体にわたる前記出力電圧における前記変動、そして $T$ は前記クロックサイクルの前記期間である、請求項6の方法。

【請求項 8】 前記全所望出力電流を計算するステップが、前記出力電圧の誤差を補正するための調整電流を決定するステップを更に含む、請求項 4 の方法。

【請求項 9】 前記調整電流が前記出力電圧と所望電圧の差に比例する、請求項 8 の方法。

【請求項 10】 前記電流が所定の電流レベルより高い場合、前記所望電圧を増加させ、前記電流が前記所定の電流レベル未満の場合、前記所望電圧を減少させるステップを更に含む、請求項 9 の方法。

【請求項 11】 多くのアクティブスイッチング回路を判定するステップを更に含む、請求項 1 の方法。

【請求項 12】 アクティブスイッチング回路の前記数が前記全所望電流にほぼ比例する、請求項 11 の方法。

【請求項 13】 アクティブスレーブの新規の数が、アクティブスイッチング回路の古い数および前記全所望電流に基づく、請求項 12 の方法。

【請求項 14】 アクティブスレーブの前記数の前記決定が、アクティブスイッチング回路の前記数の過度の変更を避けるヒステリシス効果を含む、請求項 12 の方法。

【請求項 15】 各スイッチング回路の個々の所望出力電流を計算するステップを更に含み、前記個々の所望出力電流の前記合計が前全所望出力電流に等しい、請求項 11 の方法。

【請求項 16】 前記アクティブスイッチング回路の前記個々の所望電流が、アクティブスイッチング回路の前記数により分割される前記全所望電流にほぼ等しい、請求項 15 の方法。

【請求項 17】 前記非アクティブスレーブのための前記個々の所望電流がほぼゼロである、請求項 15 の方法。

【請求項 18】 前記所望全電流の計算が、公称電圧の電圧許容範囲内である所望電圧を決定するステップを含む、請求項 1 の方法。

【請求項 19】 前記所望電圧の決定は、前記電流が最大電流に近い場合、前記公称電圧より上に前記所望電圧をセットするステップと、前記電流がゼロに近い場合、前記公称電圧未満に前記所望電圧をセットするステップを含む、請求項

18の方法。

【請求項20】 前記所望電圧を決定するステップは、前のクロックサイクルからの前記所望電圧と前記電流電圧の前記差に比例する項による前記所望電圧を調整するステップを含む、請求項18の方法。

【請求項21】 クロックサイクル  $n+1$  についての前記所望電圧  $V_{desired[n+1]}$  は以下の式により決定され：

$$V_{desired[n+1]} = c_1 V_{nom} + c_2 (V_{nom} - V_{desired[n]}) + (c_1 + c_2) \left( 1 - 2 \frac{I_{load}}{I_{max}} \right) \cdot \Delta V_{swing} \quad (5)$$

ここで、 $V_{nom}$  は公称電圧、 $V_{desired[n]}$  は前記クロックサイクル  $n$  からの前記所望電圧、 $I_{load}$  は前記負荷を流れる前記電流、 $I_{max}$  は前記負荷を流れる前記許容最大電流、 $\Delta V_{swing}$  は前記電圧許容範囲により許容される電圧内の変動、そして  $c_1$  と  $c_2$  はフィードバック定数である、請求項20の方法。

【請求項22】 入力電圧源に接続される入力端子と負荷に接続される出力端子を有する電圧レギュレータであって：

a) デジタル制御信号に応答して間欠的に前記入力端子と前記出力端子を接続する複数のスイッチング回路；

b) 各フィルタがインダクタを含む前記出力端子にほぼDCの出力電圧を提供する複数の前記フィルタ；

c) 前記スイッチング回路を流れる前記電流から導かれる複数のフィードバック信号を生じる複数の電流センサ；および、

d) 前記複数フィードバック信号を受け取って使用するデジタルコントローラを備え、前記デジタルコントローラは：

i) 各スイッチング回路についての推定電流を計算し、ここで前記各推定電流は、前記スイッチング回路に関連付けられる前記インダクタを流れる電流を表し；

ii) 前記出力端子での出力電圧を実質的に一定に維持する前記インダクタを流れる全所望出力電流を計算し；そして、



iii) 前記インダクタを流れる全電流が前記全所望出力電流にほぼ等しくなるように前記推定電流と前記全所望出力電流に基づいて前記デジタル制御信号を生成する；

電圧レギュレータ。

【請求項23】 出力端子での出力電圧を実質的に一定に維持するために電圧レギュレータのスイッチング回路を流れる全所望電流を判定する方法であって、前記スイッチング回路は、入力電圧源と接続される入力端子を負荷と接続される前記出力端子に間欠的に接続し、前記電圧レギュレータは、前記出力端子に接続される少なくとも一つのコンデンサを含み、前記方法が：

第1の時間に前記出力端子での第1の出力電圧を測定するステップ；

第2の時間に前記出力端子での第2の出力電圧を測定するステップ；

前記インダクタを流れる前記電流を表す推定電流を計算するステップ；

前記第1の出力電圧と前記第2の出力電圧の差に基づいて、前記少なくとも一つのコンデンサへ、またはそこから流れる電流を表すキャパシタンス電流を計算するステップ；

所望電圧および前記第1と第2の出力電圧のうちの一つの差に基づいて補正電流を計算するステップ；および、

前記推定電流と前記補正電流の合計と、前記キャパシタンス電流との差から前記電圧レギュレータに対する全所望電流を計算するステップ；を含む方法。

【請求項24】 入力電圧源に接続される入力端子と負荷に接続される出力端子を持つ電圧レギュレータであって：

デジタル制御信号に応答して前記入力端子と前記出力端子を間欠的に接続するスイッチング回路；

前記出力端子でのほぼDCの出力電圧を提供するフィルタ；

前記スイッチング回路を流れる前記電流を表すデジタルの第1のフィードバック信号を生成する電流センサ；

前記出力電圧を表す第2のフィードバック信号を生成する電圧センサ；および、

前記デジタル制御信号を生成する前記デジタルフィードバック信号を受け取っ

て使用するデジタルコントローラ、すなわち前記出力端子での前記出力電圧を実質的に一定のレベルに維持するために構成される前記デジタルコントローラ；を備える電圧レギュレータ。

【請求項25】 前記スイッチング回路が、前記出力端子を少なくとも間欠的にグラウンドに接続する整流子を含む、請求項24の電圧レギュレータ。

【請求項26】 前記スイッチング回路、フィルタおよび電流センサは、第1のICチップ上に製造され、前記デジタルコントローラは第2の別のICチップ上に製造される、請求項24の電圧レギュレータ。

【請求項27】 前記デジタルフィードバック信号は、前記電流がスレッシュホールド電流を超えるか否かを示す、請求項24の電圧レギュレータ。

【請求項28】 前記電流センサは、複数のデジタルフィードバック信号を生成し、前記各信号は前記電流が別のスレッシュホールド電流を超えたか否かを表す、請求項27の電圧レギュレータ。

【請求項29】 前記電流センサは、複数のデジタルフィードバック信号を生成し、前記各信号は前記電流が別のスレッシュホールド電流と交差したか否かを表す、請求項27の電圧レギュレータ。

【請求項30】 前記スイッチング回路を流れる電流が前記スレッシュホールド電流より大きい安全限界を超える場合、前記デジタル制御信号を無効にし、かつ前記スイッチング回路を開く故障保護回路を更に備える、請求項27の電圧レギュレータ。

【請求項31】 前記故障保護回路は、前記電流が前記安全限界を超える場合、前記デジタルコントローラによって受け取られる第2のデジタルフィードバック信号を生成する、請求項30の電圧レギュレータ。

【請求項32】 前記スイッチング回路は、前記出力端子を前記入力端子へ接続する第1のトランジスタおよび前記出力端子をグラウンドに接続する第2のトランジスタを含む、請求項27の電圧レギュレータ。

【請求項33】 前記電流センサは、前記第1のトランジスタを流れる電流を示す第1のフィードバックライン上の第1のデジタルフィードバック信号を生成する第1のセンサ、および前記第2のトランジスタを流れる電流を表す第2のフ

ィードバックライン上の第2のデジタルフィードバック信号を生成する第2のセンサを含む、請求項32の電圧レギュレータ。

【請求項34】 前記第1と第2のフィードバックラインが、前記デジタルコントローラに接続される第3のフィードバックラインに接続される。前記デジタルコントローラは、どのトランジスタが前記第3のフィードバックライン上の前記信号により表されるかを判定するロジックを含む、請求項33の電圧レギュレータ。

【請求項35】 前記デジタル制御信号を受け取って、前記第1と第2のトランジスタをスイッチングする命令に前記デジタル制御信号を変換する前記スレーブに設置されるインタープリタを更に備える、請求項32の電圧レギュレータ。

【請求項36】 前記デジタルコントローラによって生成される前記デジタル制御信号は、第1の制御ライン上の第1の制御信号および第2の制御ライン上の第2の制御信号を含み、前記インタープリタは、前記第1の制御信号を、前記第1のトランジスタを開いて前記第2のトランジスタを閉じる命令へ変換し、前記第2の制御信号を、前記第1のトランジスタを閉じて前記第2のトランジスタを開く第2の命令へ変換する、請求項35の電圧レギュレータ。

【請求項37】 前記デジタルコントローラによって生成される前記デジタル制御信号は、第3の制御ライン上の第3の制御信号を含み、前記インタープリタは、第3の制御信号を前記第1と第2のトランジスタを開く命令に変換する、請求項36の電圧レギュレータ。

【請求項38】 前記インタープリタは、前記第2のトランジスタが閉じて前記電流がゼロ未満へ低下する場合、第3の制御信号を前記第1と第2のトランジスタを開く命令に変換する、請求項37の電圧レギュレータ。

【請求項39】 前記デジタルコントローラによって受け取られる前記スイッチングレギュレータの前記状態を示すデジタルの状態信号を生成するための状態センサを更に備える、請求項24の電圧レギュレータ。

【請求項40】 前記スレーブは、前記デジタル制御信号を受け取って、前記デジタル制御信号を前記スイッチング回路をスイッチングする命令に変換するインタープリタを含む、請求項24の電圧レギュレータ。

【請求項41】 入力電圧源に接続される入力端子と負荷に接続される出力端子を有する電圧レギュレータであって：

a) それぞれが以下を含む複数のスレーブ：

I) デジタル制御信号に応答して間欠的に前記入力端子と前記出力端子を接続するスイッチング回路；

ii) 前記出力端子にほぼDCの出力電圧を提供するフィルタ；

iii) 前記スイッチング回路を流れる電流を表すデジタルフィードバック信号を生成する電流センサ；

b) 複数のデジタル制御信号を生成する複数の前記スレーブからの前記デジタルフィードバック信号を受け取って使用するデジタルコントローラであって、前記出力端子での前記出力電圧を実質的に一定のレベルに維持するよう構成される前記デジタルコントローラ：を含む、電圧レギュレータ。

【請求項42】 入力電圧源に接続される入力端子と負荷に接続される出力端子を有する電圧レギュレータを動作させる方法であって：

デジタル制御信号に応答して前記入力端子と前記出力端子をスイッチング回路で間欠的に接続するステップ；

前記出力端子にほぼDCの出力電圧を提供するために前記スイッチング回路の出力をフィルタリングするステップ；

電流センサを有する前記スイッチング回路を流れる電流を表しているデジタルフィードバック信号を生成するステップ；および、

前記デジタル制御信号を生成するためにデジタルコントローラ内の前記スレーブから前記デジタルフィードバック信号を受け取って使用するステップ、ここで前記デジタルコントローラは前記出力端子での前記出力電圧を実質的に一定のレベルに維持するために構成される；を含む方法。

【請求項43】 入力電圧源に接続される入力端子と負荷に接続される出力端子を有する電圧レギュレータであって：

制御信号に応答して間欠的に前記入力端子と前記出力端子を接続するスイッチング回路；

前記出力端子にほぼDCの出力電圧を提供するフィルタ；および、

前記スイッチング回路の所望スイッチング周波数  $f_{\text{switch}}$  より著しく速いクロック周波数  $f_{\text{clock}}$  で動作するデジタルコントローラを含み、ここで、前記デジタルコントローラは、クロックサイクル毎に、前記出力端子での出力電圧から導かれる第1のデジタルフィードバック信号、および前記スイッチング回路を流れる電流から導かれる第2のデジタルフィードバック信号を受け取って、前記出力電圧が実質的に一定のレベルに維持されるように前記スイッチング回路を制御する前記制御信号を生成する。

【請求項44】 前記第1のデジタルフィードバック信号を生成する電流センサを更に備える、請求項43の電圧レギュレータ。

【請求項45】 前記第2のデジタルフィードバック信号を生成する電圧センサを更に備える、請求項44の電圧レギュレータ。

【請求項46】 前記電圧センサはA/D変換器を含む、請求項45の電圧レギュレータ。

【請求項47】 前記電圧センサは電圧サンプリング回路を更に含む、請求項46の電圧レギュレータ。

【請求項48】 前記スイッチング回路、フィルタおよび電流センサは第1のICチップ上に製造され、前記デジタルコントローラと電圧センサは第2の異なるICチップ上に製造される、請求項45の電圧レギュレータ。

【請求項49】 前記スイッチング回路、フィルタおよび電流センサは第1のICチップ上に製造され、前記電圧センサは第2のICチップ上に製造され、そして前記デジタルコントローラは第3のICチップ上に組み立てられる、請求項45の電圧レギュレータ。

【請求項50】 前記第1のデジタルフィードバック信号は前記出力電圧と公称電圧の前記差を表す、請求項43の電圧レギュレータ。

【請求項51】 前記第1のデジタルフィードバック信号は、現在のクロックサイクルでの前記出力電圧と前のクロックサイクルでの出力電圧の前記差を表す、請求項43の電圧レギュレータ。

【請求項52】 前記デジタルコントローラは、クロックサイクル毎に、前記出力端子での出力電圧から導かれる第3のデジタルフィードバック信号を受け取

る、請求項43の電圧レギュレータ。

【請求項53】 前記第1のデジタルフィードバック信号は、前記出力電圧と公称電圧の前記差に等しく、前記第3のデジタルフィードバック信号は、現在のクロックサイクルにおける前記出力電圧と、前のクロックサイクルにおける出力電圧内の前記差に等しい、請求項52の電圧レギュレータ。

【請求項54】 前記第1のデジタルフィードバック信号は前記出力電圧である、請求項43の電圧レギュレータ。

【請求項55】 デジタルコントローラは前記出力端子に接続され、前記コントローラは、前記出力電圧と基準電圧の差を捕捉するサンプリング回路を含み、更に、前記デジタルコントローラは、前記サンプリング回路によって保持される前記電荷をデジタル信号に変換するためのA/D変換器を含む、請求項43の電圧レギュレータ。

【請求項56】 前記基準電圧は接地される、請求項32の電圧レギュレータ。

【請求項57】 前記基準電圧は公称電圧である、請求項32の電圧レギュレータ。

【請求項58】 前記基準電圧は、前のクロックサイクルからの出力電圧である、請求項32の電圧レギュレータ。

【請求項59】 前記入力端子と前記出力端子を間欠的に接続するための複数のスイッチング回路を更に備え、ここで、前記デジタルコントローラは、クロックサイクル毎に各スイッチング回路に対する第2のデジタルフィードバック信号を受け取り、そのスイッチング回路に対する制御信号を生成し、前記各第2のデジタルフィードバック信号は関連スイッチング回路を流れる電流から導かれる、請求項43の電圧レギュレータ。

【請求項60】 入力電圧源に接続される入力端子と負荷に接続される出力端子を有する電圧レギュレータを動作させる方法であって：

制御信号に応答して前記入力端子および前記出力端子をスイッチング回路で間欠的に接続するステップ；

前記出力端子にほぼDCの出力電圧を提供するために前記スイッチング回路の

出力をフィルタをかけるステップ；

前記スイッチング回路の所望スイッチング周波数  $f_{\text{switch}}$  より著しく速いクロック周波数  $f_{\text{clock}}$  でデジタルコントローラを動作させるステップ；

前記デジタルコントローラにおいてクロックサイクル毎に前記出力端子での出力電圧から導き出される第1のデジタルフィードバック信号を受け取るステップ；

前記デジタルコントローラにおいてクロックサイクル毎に前記スイッチング回路を流れる電流から導き出される第2のデジタルフィードバック信号を受け取るステップ；および、

前記出力電圧が実質的に一定のレベルに維持されるように前記スイッチング回路を制御するために前記デジタルコントローラによって前記制御信号を生成するステップを含む方法。

【請求項61】 入力電圧源に接続される入力端子、負荷に接続される出力端子、前記入力端子を中間端子に接続するスイッチング回路、および前記出力端子に実質的にDC電圧を発生させるインダクタを持つフィルタを有する電圧レギュレータを動作させる方法であって：

前記インダクタを流れる前記電流を表す初期の推定電流を記憶するステップ；

前記スイッチング回路の前記状態に基づく前記初期の推定電流を、新規の推定電流を生成するように調整するステップ；

前記出力端子での出力電圧を実質的に一定に維持する前記インダクタを流れる全所望出力電流を決定するステップ；および、

前記インダクタを流れる全電流が前記全所望出力電流にほぼ等しくなるように、前記推定電流および前記全所望出力電流に基づいて前記スイッチング回路を制御するステップを含む方法。

【請求項62】 前記スイッチング回路は、前記入力端子を前記中間端子に間欠的に接続する第1のトランジスタ、および前記中間端子を間欠的にグランドに接続する第2のトランジスタを含む；請求項61の方法。

【請求項63】 前記第1のトランジスタが閉じている場合、前記調整ステップが増加電流を前記初期の推定電流に加算するステップを含む、請求項62の方

法。

【請求項64】 前記前記第2のトランジスタが閉じている場合、前記調整ステップが減少電流を前記初期の推定電流から減算するステップを含む、請求項62の方法。

【請求項65】 前記スイッチング回路が前記入力端子を前記中間端子に間欠的に接続する第1のトランジスタ、および前記中間端子をグランドに間欠的に接続するダイオードを含む、請求項61の方法。

【請求項66】 前記記憶するステップおよび調整するステップはクロック周波数で発生する、請求項61の方法。

【請求項67】 前記クロック周波数は、前記スイッチング回路の所望スイッチング周波数より著しく速い、請求項66の方法。

【請求項68】 前記調整するステップは、前記中間端子が前記入力端子に接続される場合、増加電流を前記初期の推定電流に加算し、前記中間端子がグランドに接続される場合、減少電流を前記初期の推定電流から減算する、請求項66の方法。

【請求項69】 前記増加電流は、前記入力端子での入力電圧、前記出力端子での出力電圧、前記スイッチング回路と前記出力端子の間に配設されるインダクタのインダクタンス、および前記クロック周波数に基づいて選択される、請求項68の方法。

【請求項70】 前記増加電流は、 $(V_{in} - V_{out}) / L \times f_{clock}$ から計算され、ここで、 $V_{in}$ は前記入力電圧、 $V_{out}$ は前記出力電圧、 $L$ は前記インダクタンス、および $f_{clock}$ は前記クロック周波数を表す、請求項69の方法。

【請求項71】 前記減少電流は、前記出力端子での出力電圧、前記中間端子と前記出力端子の間に配設されるインダクタのインダクタンス、および前記クロック周波数に基づいて選択される、請求項68の方法。

【請求項72】 前記減少電流は $V_{out} / L \times f_{clock}$ で計算され、ここで、 $V_{out}$ は前記出力電圧、 $L$ は前記インダクタンス、および $f_{clock}$ は前記クロック周波数を表す、請求項71の方法。

【請求項73】 前記増加および減少電流は公称値に基づく、請求項68の方



法。

【請求項74】 前記増加および減少電流は動的に調整される、請求項68の方法。

【請求項75】 前記スイッチング回路を流れる前記実電流を表すフィードバック信号を生成するステップ、およびフィードバック信号に基づいて前記推定電流を補正するステップを更に備える、請求項61の方法。

【請求項76】 前記記憶するステップおよび調整ステップは前記補正ステップより高い周波数で発生する、請求項75の方法。

【請求項77】 前記記憶するステップおよび調整ステップは、一連のクロックサイクルで実行され、かつ前記補正ステップがいくつかの前記クロックサイクル内に発生する、請求項76の方法。

【請求項78】 前記フィードバックは、前記実電流がスレッシュホールド電流より上かまたは未満であることを示す、請求項61の方法。

【請求項79】 前記中間端子が前記入力端子に接続される場合、前記増加電流の加算が、前記推定電流が前記スレッシュホールド電流を超える原因となる場合、および前記フィードバック信号が前記実電流が前記スレッシュホールド電流未満であることを示す場合、前記推定電流を前記スレッシュホールド電流付近に保持するステップを更に備える、請求項78の方法。

【請求項80】 前記中間端子がグランドに接続される場合、前記増加電流の減算が、前記推定電流が前記スレッシュホールド電流未満になる原因となる場合、および前記実電流が前記スレッシュホールド電流を超えることを前記フィードバック信号が示す場合、前記推定電流を前記スレッシュホールド電流付近に保持するステップを更に備える、請求項78の方法。

【請求項81】 前記スイッチング回路が閉じている場合、前記推定電流が前記スレッシュホールド電流より少ない場合、および前記実電流が前記スレッシュホールド電流を超えることを前記フィードバック信号が示す場合、前記推定電流を前記スレッシュホールド電流と等しくセットするステップを更に備える、請求項78の方法。

【請求項82】 前記出力端子が接地接続されている場合、前記推定電流が前

記スレッシュホールド電流より大きい場合、および前記実電流が前記スレッシュホールド電流未満となることを前記フィードバック信号が示す場合、前記推定電流を前記スレッシュホールド電流と等しくセットするステップを更に備える、請求項78の方法。

【請求項83】 前記フィードバック信号を生成するセンサ内比較器の起動に必要な前記スイッチング時間によって発生する遅延時間、および前記フィードバック信号が前記センサから前記スイッチング回路を制御するコントローラまで伝わるのに必要な前記伝播時間に対する前記推定電流を調整するステップを更に備える、請求項68の方法。

【請求項84】 前記調整するステップが、前記増加値、前記クロックサイクルおよび前記スイッチング周波数に基づく、請求項68の方法。

【請求項85】 前記調整するステップが、前記減少値、前記クロックサイクルおよび前記スイッチング周波数に基づく、請求項68の方法。

【請求項86】 電圧レギュレータのインダクタを流れる電流を推定する方法であって、前記電圧レギュレータは出力端子を入力端子に間欠的に接続するためのスイッチング回路を含み、前記方法は：

前記インダクタを流れる前記電流を表す初期の推定電流を記憶するステップ；  
および、

新規の推定電流を生成させるために前記スイッチング回路の前記状態に基づいて前記初期の推定電流を調整するステップ；を含む方法。

【請求項87】 電圧レギュレータのインダクタを流れる電流を評価する方法であって、前記電圧レギュレータは出力端子を入力端子に間欠的に接続するスイッチング回路を含み、前記方法は：

前記インダクタを流れる前記電流を表す初期の推定電流を記憶するステップ；  
前記出力端子が前記入力端子に接続される場合、前記初期の推定電流に増加電流を加算するステップ；および、

前記出力端子が接地接続される場合、前記初期の推定電流から減少電流を減算するステップ；を含む方法。

【請求項88】 入力電圧源に接続される入力端子と負荷に接続される出力端

子を有する電圧レギュレータであって：

a) 制御信号に応答して前記入力端子と前記出力端子を間欠的に接続するスイッチング回路；

b) 前記出力端子にほぼDCの出力電圧を提供するフィルタであって、前記フィルタはインダクタを含むように成した前記フィルタ；および

c) デジタルコントローラ；を含み、  
前記デジタルコントローラは：

i) 前記インダクタを介して流れる前記電流を表す初期の推定電流を記憶し；

ii) 前記スイッチング回路の前記状態に基づいて前記初期の推定電流が新規の推定電流を生じるように調整し；

iii) 出力電圧を実質的に一定に維持する前記インダクタを流れる全所望出力電流を判定し；および、

iv) 前記出力電圧を実質的に一定のレベルに維持するために、前記スイッチング回路を制御するよう前記調整された推定電流および前記全所望出力電流に基づく前記制御信号を生成する；電圧レギュレータ。

【請求項89】 入力電圧源に接続される入力端子、負荷に接続される出力端子、および前記入力端子および前記出力端子を間欠的に接続する少なくとも一つのスイッチング回路、を有する電圧レギュレータを動作させる方法であって：

前記少なくとも一つのスイッチング回路の各々に対する推定電流、ここで前記各推定電流は関連するスイッチング回路のインダクタを流れる電流を表す、を判定するステップ；

前記出力端子での出力電圧を実質的に一定のレベルに維持する前記インダクタを流れる所望全出力電流を計算するステップ；

上限電流と下限電流を計算するステップ、前記上限電流と下限電流の前記平均は、前記インダクタの一つについての個々の所望出力電流に等しい；および、

前記スイッチング回路の一つ以上について、前記推定電流が前記下限電流を下回る場合、前記スイッチング回路に前記入力端子を前記出力端子に接続させ、そして前記推定電流が前記上限電流を超える場合、前記スイッチング回路に前記出力端子をグラウンドに接続させるステップ；を含む方法。

【請求項90】 前記電圧レギュレータは複数のスイッチング回路を含む、請求項89の方法。

【請求項91】 基準回路として前記複数のスイッチング回路の一つを選択するステップを更に備え、前記残りのスイッチング回路が非基準回路である、請求項90の方法。

【請求項92】 各非基準スイッチング回路に対する所望位相オフセットを判定するステップを更に備える、請求項91の方法。

【請求項93】 前記推定電流が前記下限電流未満に低下する場合、前記基準回路は、前記入力端子と前記出力端子を接続し、前記推定電流が前記上限電流を超える場合、前記出力端子をグランドに接続する、請求項92の方法。

【請求項94】 複数の上限電流と複数の下限電流を計算するステップを更に備え、各非基準回路に関連する一つの上限電流および一つの下限電流が存在する、請求項92の方法。

【請求項95】 各非基準回路は、関連する推定電流が関連する下限電流未満に低下する場合、前記入力端子と前記出力端子を接続し、前記関連する推定電流が関連する上限電流を超える場合、前記出力端子を接地接続する、請求項94の方法。

【請求項96】 前記複数の上下限電流は、所望スイッチング周波数および前記所望位相オフセットから導かれる、請求項95の方法。

【請求項97】 前記基準回路と前記非基準回路間の前記実際の位相オフセットを測定するステップを更に備える、請求項95の方法。

【請求項98】 前記上下限電流の前記差は、前記実際の位相オフセットと前記所望位相オフセットの前記差によって調整される、請求項95の方法。

【請求項99】 各非基準回路は、前記基準回路が前記入力端子と前記出力端子を接続した後、前記所望位相オフセットで前記入力端子と前記出力端子を接続する、請求項92の方法。

【請求項100】 各非基準回路は、前記関連する推定電流が前記関連する上限電流を超える場合、前記出力端子を接地接続する、請求項99の方法。

【請求項101】 各非基準回路は、前記基準回路が前記出力端子を接地接続

した後、前記所望位相オフセットで前記出力端子を接地接続する、請求項92の方法。

【請求項102】 前記関連する推定電流が前記関連する下限電流を下回る場合、各非基準回路は前記入力端子と前記出力端子を接続する、請求項101の方法。

【請求項103】 入力電圧源に接続される入力端子、負荷に接続される出力端子、および前記入力端子と前記出力端子を間欠的に接続する少なくとも一つのスイッチング回路を有する電圧レギュレータを動作させる方法であって：

少なくとも一つの前記スイッチング回路の各々についての推定電流を判定するステップ、前記各推定電流は各スイッチング回路と関連するインダクタを流れる電流を表し；

前記出力端子での出力電圧を実質的に一定のレベルに維持する前記インダクタを流れる所望全出力電流を計算するステップ；

一つ以上の前記スイッチング回路について、個々の所望電流を計算するステップ；

一つ以上の前記スイッチング回路について、前記推定電流を個々の前記所望電流と比較し、前記スイッチング回路を流れる前記電流が前記所望電流にほぼ等しくなるように、前記スイッチング回路をスイッチングさせるステップを含む方法。

【請求項104】 前記電圧レギュレータが複数のスイッチング回路を含む、請求項103の方法。

【請求項105】 各スイッチング回路に対する所望位相オフセットを判定するステップを更に含む、請求項104の方法。

【請求項106】 少なくとも一つの前記スイッチング回路についてのファントム状態を判定するステップを更に含む、請求項105の方法。

【請求項107】 基準回路として前記複数のスイッチング回路の一つを選択するステップを更に含む、前記残りのスイッチング回路が非基準回路である、請求項106の方法。

【請求項108】 ファントム状態が、各非基準回路のために判定される、請

求項107の方法。

【請求項109】 前記基準回路に対する上限電流と下限電流を計算するステップを更に含む、請求項107の方法。

【請求項110】 前記推定電流が前記下限電流未満に低下する場合、前記基準回路に前記入力端子を前記出力端子に接続させるステップ、および前記推定電流が前記上限電流を超える場合、前記基準回路に前記出力端子をグランドに接続させるステップを更に含む、請求項109の方法。

【請求項111】 前記非基準回路のファントム状態は、前記基準回路の前記状態および前記所望位相オフセットから導かれる、請求項110の方法。

【請求項112】 所望電流は、各スイッチング回路について計算される、請求項106の方法。

【請求項113】 ファントム状態が、各スイッチング回路について判定される、請求項112の方法。

【請求項114】 前記スイッチング回路の前記ファントム状態がクロック信号および前記所望位相オフセットに基づく、請求項112の方法。

【請求項115】 前記所望電流を判定するステップが、新規の所望電流を生成するために前記少なくとも一つのスイッチング回路について前記ファントム状態に基づいて初期の所望電流を記憶し、そして前記初期の所望電流を調整するステップを含む、請求項106の方法。

【請求項116】 前記初期の所望電流を調整するステップが、前記ファントム状態が前記出力端子が前記入力端子に接続されることを示す場合、増加電流を前記初期の所望電流に加算し、そして前記ファントム状態が前記出力端子が接地接続されることを示す場合、減少電流を前記初期の推定電流から減算するステップ；を含む、請求項115の方法。

【請求項117】 前記推定電流が前記所望電流と交差し、かつ前記基準回路の前記状態が前記ファントム状態と同一でない場合、前記少なくとも一つのスイッチング回路にスイッチングさせるステップを更に含む、請求項106の方法。

【請求項118】 前記推定電流が前記所望電流を超える場合、前記スイッチングさせるステップが前記出力端子を接地接続するステップを含む、請求項11

7の方法。

【請求項119】 前記推定電流が前記所望電流未満に低下する場合、前記スイッチングさせるステップが前記出力端子と前記入力端子を接続するステップを含む、請求項117の方法。

【請求項120】 前記推定電流が前記下限電流未満に低下する場合、前記少なくとも一つのスイッチング回路に、前記入力端子を前記出力端子に接続させ、そして前記推定電流が前記上限電流を超える場合、前記少なくとも一つのスイッチング回路に、前記出力端子を接地接続させるステップを更に含む、請求項117の方法。

【請求項121】 前記推定電流が第1のプリセットマージンによって、前記所望電流未満に低下する場合、前記少なくとも一つのスイッチング回路に前記入力端子を前記出力端子に接続させ、そして前記推定電流が第2のプリセットマージンによって、前記所望電流を超える場合、前記少なくとも一つのスイッチング回路に前記出力端子を接地接続させるステップを更に含む、請求項117の方法。

【請求項122】 入力電圧源に接続される入力端子、負荷に接続される出力端子、および前記入力端子と前記出力端子を間欠的に接続する複数のスイッチング回路を有する電圧レギュレータを動作させる方法であって：

基準回路として前記複数のスイッチング回路の一つを選択するステップ；

前記残りのスイッチング回路に対する所望位相オフセットを判定するステップ；

各スイッチング回路に対する推定電流を判定するステップ、各推定電流は前記スイッチング回路と関連付けられるインダクタを流れる電流を表し；

前記出力端子での出力電圧を実質的に一定のレベルに維持する前記スイッチング回路を流れる所望全出力電流を計算するステップ；

前記所望位相オフセットおよび前記所望全出力電流を実質的に達成するために、前記スイッチング回路に前記出力端子を前記入力端子または接地接続させるステップを含む。

**【発明の詳細な説明】****【0001】****【背景】**

本発明は一般に電圧レギュレータに関し、より詳しくは、スイッチング電圧レギュレータ用の制御システムに関する。

**【0002】**

DC/DCコンバータ等の電圧レギュレータを用いて、電子システムに安定化電圧源を提供する。効率の良いDC/DCコンバータは特に、ラップトップ型ノートブックや携帯電話等の低電力装置のバッテリー管理に必要とされる。スイッチング電圧レギュレータ（またはより簡単に「スイッチングレギュレータ」）が、DC/DCコンバータの効率的な形式であることは周知である。スイッチングレギュレータは、入力DC電圧を高周波電圧に変換し、出力DC電圧を発生するためにその高周波電圧をフィルタリングすることにより出力電圧を発生する。スイッチングレギュレータは、普通、バッテリー等の定電圧化されていない入力DC電圧源を集積回路等の負荷へ交互に接続、遮断するスイッチを含んでいる。出力フィルタは普通はインダクタとコンデンサを含み、入力電圧源と負荷の間に接続されてスイッチの出力をフィルタリングし、その結果出力のDC電圧を提供する。コントローラは、例えば電圧や負荷を流れる電流等の、回路の電気特性を測定し、出力のDC電圧を実質的に一定レベルに維持するためにスイッチングのデューティサイクルを設定する。

**【0003】**

マイクロプロセサ用の電圧レギュレータは以前より厳しい性能要件を満足しなければならない。一つの傾向は、例えば35～50アンペアの、より大電流で動作することである。別の傾向は、省エネルギーのためにサイクル毎にマイクロプロセサの異なる部分をオンオフすることである。これは電圧レギュレータが負荷変動に対して非常に高速に反応することを必要とし、例えば、最小負荷から最大負荷まで数ナノ秒で変化する必要がある。更に別の傾向は、配ライン内の寄生容量、抵抗および／またはインダクタンスを減少させ、それによって電流損失を防ぐために、電圧レギュレータをマイクロプロセサの近くに配置することであり、



ことができる。しかし、電圧レギュレータをマイクロプロセッサの近くに配設するためには、電圧レギュレータは小型でかつ使いやすい形状因子を持つ必要がある。

#### 【0004】

これらの特別な傾向に加えて、高負荷での熱的な過負荷を避け、携帯システムのバッテリー寿命を長くするために一般に高効率が望ましい。別の望ましい特長は、電圧レギュレータが、低負荷での電力消費を抑える「スタンバイ」モードを持つことである。

#### 【0005】

従来のコントローラは、抵抗、コンデンサおよび演算増幅器等のアナログ回路で構成される。残念ながらアナログ回路は高価で、および／または集積回路として製作するのが困難である。特に、特別な技法が抵抗や半導体装置を製作するのに必要である。更に、アナログ信号はノイズによって性能が低下し、その結果情報の損失を発生させる。

#### 【0006】

上記に鑑みて、電圧レギュレータおよび電圧レギュレータ用の制御システムには改良の余地がある。

#### 【0007】

##### 【概要】

全般に、一局面によれば、本発明は電圧レギュレータを動作させる方法に向けられ、その電圧レギュレータは、入力電圧源と接続される入力端子、負荷に接続される出力端子、および入力端子を出力端子に交互に接続、遮断する複数のスイッチング回路を有する。その方法は各スイッチング回路について推定電流を計算する。各推定電流はスイッチング回路と関連するインダクタを流れる電流を表す。インダクタを流れる所望の全出力電流が計算され、その電流が出力端子での出力電圧を実質的に一定に維持する。スイッチング回路は、推定電流と所望の全出力電流に基づいて制御され、それにより、インダクタを流れる全電流は所望の全出力電流と略等しくなる。

#### 【0008】

別の局面によれば、本発明は、入力電圧源と接続される入力端子、および負荷に接続される出力端子を有する電圧レギュレータに向けられる。複数のスイッチング回路はデジタル制御信号に応答して入力端子と出力端子を間欠的に接続する。それぞれがインダクタを含む複数のフィルタは、出力端子にほぼDCの出力を提供する。複数の電流センサは、スイッチング回路を流れる電流から導かれるフィードバック信号を生成する。デジタルコントローラは、複数のフィードバック信号を受け取って使用しスイッチング回路毎の推定電流を計算する。各推定電流はスイッチング回路と関連するインダクタを流れる電流を表す。インダクタを流れる全所望出力電流が計算され、それが出力端子における出力電圧を実質的に一定に維持する。デジタル制御信号は推定電流と全所望出力電流に基づいて生成され、それにより、インダクタを流れる全電流はほぼ全所望出力電流と略等しくなる。

#### 【0009】

別の局面によれば、本発明は、出力端子における出力電圧を実質的に一定に維持するために電圧レギュレータのスイッチング回路を流れる全所望電流を決定する方法に向けられる。スイッチング回路は、入力電圧源へ接続される入力端子を、負荷へ接続される出力端子へ間欠的に接続する。電圧レギュレータは、出力端子へ接続される少なくとも一つのコンデンサを含む。第1の出力電圧が第1の時間に出力端子で測定され、第2の出力電圧が第2の時間に出力端子で測定される。インダクタを流れる電流を表す推定電流が計算され、少なくとも一つのコンデンサへ、またはそこから流れる電流を表すキャパシタンス電流が第1出力電圧と第2出力電圧の差に基づいて計算され、そして補正電流が所望の電圧を第1および第2出力電圧の一つとの差に基づいて計算される。電圧レギュレータの全所望電流が推定電流と補正電流の合計と、キャパシタンス電流との差から計算される。

#### 【0010】

別の局面によれば、本発明は電圧レギュレータへ向けられる。レギュレータは、入力電圧源へ接続される入力端子と、負荷へ接続される出力端子を有する。スイッチング回路がデジタル制御信号に応答して入力端子と出力端子を間欠的に接

続する。フィルタが出力端子にほぼDCの出力電圧を提供する。電流センサがスイッチング回路を流れる電流を表すデジタルの第1フィードバック信号を生成する。電圧センサが出力電圧を表す第2フィードバック信号を生成する。デジタルコントローラがデジタルフィードバック信号を受け取って使用し、デジタル制御信号を生成する。デジタルコントローラは、出力端子での出力電圧が実質的に一定レベルを維持するよう構成される。

#### 【0011】

別の局面によれば、本発明は、入力電圧源と接続される入力端子、および負荷に接続される出力端子を有する電圧レギュレータに向けられる。電圧レギュレータは複数のスレーブを有し、各スレーブは、デジタル制御信号に応答して入力端子と出力端子を間欠的に接続するスイッチング回路と、出力端子にほぼDC出力電圧を提供するフィルタと、スイッチング回路を流れる電流を表すデジタルフィードバック信号を生成する電流センサと、複数のデジタル制御信号を生成する複数のスレーブからデジタルフィードバック信号を受け取って使用するデジタルコントローラとを有する。デジタルコントローラは、出力端子での出力電圧が実質的に一定レベルを維持するよう構成される。

#### 【0012】

別の局面によれば、本発明は電圧レギュレータを動作させる方法をに向けられ、その電圧レギュレータは、入力電圧源と接続される入力端子、および負荷に接続される出力端子を有する。入力端子と出力端子は、デジタル制御信号に応答してスイッチング回路によって間欠的に接続される。スイッチング回路の出力はフィルタリングされ出力端子にほぼDCの出力電圧を提供する。デジタルフィードバック信号が電流センサを持つスイッチング回路を流れる電流を表すよう生成される。デジタルコントローラは、スレーブからデジタルフィードバック信号を受け取って使用し、デジタル制御信号を生成する。デジタルコントローラは出力端子での出力電圧を実質的に一定レベルに維持するよう構成される。

#### 【0013】

別の局面によれば、本発明は、入力電圧源と接続される入力端子、および負荷に接続される出力端子を有する電圧レギュレータに向けられる。スイッチング回

路は制御信号に応答して入力端子と出力端子を間欠的に接続する。フィルタは出力端子にはほぼDCの出力電圧を提供する。デジタルコントローラはクロック周波数  $f_{clock}$  で動作し、それはスイッチング回路に所望されるスイッチング周波数  $f_{switch}$  より著しく高速である。各クロックサイクルでデジタルコントローラは、出力端子での出力電圧から導かれた第1のデジタルフィードバック信号、およびスイッチング回路を流れる電流から導かれた第2のデジタルフィードバック信号を受け取って、そしてスイッチング回路を制御する制御信号を生成し、それにより出力電圧は実質的に一定レベルで維持される。

【0014】

別の局面によれば、本発明は、入力電圧源と接続される入力端子および負荷に接続される出力端子を有する電圧レギュレータを動作させる方法に向けられる。入力端子と出力端子は、デジタル制御信号に応答してスイッチング回路によって間欠的に接続される。スイッチング回路の出力はフィルタリングされて出力端子にはほぼDC出力電圧を提供する。デジタルコントローラはクロック周波数  $f_{clock}$  で動作し、それはスイッチング回路に所望のスイッチング周波数  $f_{switch}$  より著しく高速である。デジタルコントローラは、出力端子での出力電圧から導かれた第1のデジタルフィードバック信号、および各クロックサイクルでインダクタを流れる電流から導かれた第2のデジタルフィードバック信号を受け取る。制御信号はデジタルコントローラで生成されてスイッチング回路を制御し、それにより出力電圧を実質的に一定レベルに維持する。

【0015】

別の局面によれば、本発明は、電圧レギュレータのインダクタを流れる電流を推定する方法に向けられ、電圧レギュレータは、間欠的に出力端子を入力端子に接続するスイッチング回路を含む。初期の推定電流は記憶され、インダクタを流れる電流を表し、そして初期の推定電流は、スイッチング回路の状態に基づいて調整されて、新規の推定電流を生成する。

【0016】

別の局面によれば、本発明は、入力電圧源と接続されるべき入力端子と、負荷に接続されるべき出力端子と、入力端子を中間端子に接続するスイッチング回路

と、出力端子に実質的にDC電圧を生成するためのインダクタを有するフィルタとを有する電圧レギュレータを動作させる方法に向けられる。初期の推定電流は記憶され、インダクタを流れる電流を表す。初期の推定電流は、スイッチング回路の状態に基づいて調整されて、新規の推定電流を生成する。インダクタを流れる全所望出力電流が決定され、それは出力端子での出力電圧を実質的に一定に維持する。スイッチング回路は、推定電流と全所望出力電流に基づいて制御され、それにより、インダクタを流れる全電流は全所望出力電流と略等しくなる。

#### 【0017】

別の局面によれば、本発明は電圧レギュレータ内のインダクタを流れる電流を推定する方法に向けられ、電圧レギュレータは、出力端子を入力端子と間欠的に接続するスイッチング回路を含む。初期の推定電流はインダクタを流れる電流を表す。出力端子が入力端子へ接続されている場合には、増加する電流が初期の推定電流へ加算され、出力端子が接地されている場合には、減少する電流が初期の推定電流から減算される。

#### 【0018】

別の局面によれば、本発明は、入力電圧源と接続されるべき入力端子、および負荷に接続されるべき出力端子を有する電圧レギュレータに向けられる。電圧レギュレータは、制御信号に応答して入力端子と出力端子を間欠的に接続するスイッチング回路と、出力端子にほぼDC出力電圧を提供するためのインダクタを含むフィルタと、デジタルコントローラとを有する。デジタルコントローラは、インダクタを流れる電流を表す初期の推定電流を記憶し、新規の推定電流を生成するためにスイッチング回路の状態に基づいて初期の推定電流を調整し、出力電圧を実質的に一定に維持するインダクタを流れる全所望出力電流を決定し、そしてスイッチング回路を制御するために、調整された推定電流と全所望出力電流に基づく制御信号を生成し、それにより、出力電圧は実質的に一定レベルに維持される。

#### 【0019】

別の局面によれば、本発明は、入力電圧源と接続される入力端子、負荷に接続される出力端子、および入力端子と出力端子を間欠的に接続する少なくとも一つ

のスイッチング回路を有する電圧レギュレータを動作させる方法に向けられる。推定電流は少なくとも一つのスイッチング回路の各々について計算され、各推定電流は、関連するスイッチング回路内のインダクタを流れる電流を表す。出力端子での出力電圧を実質的に一定レベルに維持するインダクタを流れる所望の全出力電流が計算され、電流の上限と下限が計算される。電流の上限と下限の平均値は、一つのインダクタに対する個々の所望出力電流に等しい。一つ以上のスイッチング回路に対して、スイッチング回路は、推定電流が下限電流未満に低下する場合には、入力端子を出力端子に接続させ、推定電流が上限電流を超えて上昇する場合には、出力端子をグランドに接続させる。

#### 【0020】

別の局面によれば、本発明は、入力電圧源と接続されるべき入力端子、負荷に接続されるべき出力端子、および入力端子と出力端子を間欠的に接続する少なくとも一つのスイッチング回路を有する電圧レギュレータを動作させる方法に向けられる。推定電流はスイッチング回路毎に決定され、各推定電流は、スイッチング回路と関連するインダクタを流れる電流を表す。インダクタを流れる所望の全出力電流が計算され、出力端子での出力電圧を実質的に一定レベルに維持する。一つ以上のスイッチング回路に対して、個々の所望電流が計算され、そして推定電流が個々の所望電流と比較されて、スイッチング回路がスイッチングされ、それにより、スイッチング回路を流れる電流は所望の電流と略等しくなる。

#### 【0021】

別の局面によれば、本発明は、入力電圧源と接続されるべき入力端子、負荷に接続されるべき出力端子、および入力端子と出力端子を間欠的に接続する複数のスイッチング回路を有する電圧レギュレータを動作させる方法に向けられる。複数のスイッチング回路の一つは基準回路として選択され、所望の位相オフセットが残りのスイッチング回路について決定される。推定電流がスイッチング回路毎に計算され、各推定電流はスイッチング回路と関連するインダクタを流れる電流を表す。インダクタを流れる所望の全出力電流が計算され、出力端子での出力電圧を実質的に一定レベルに維持し、スイッチング回路は、所望の位相オフセットおよび所望の全出力電流を実質的に達成するような方法で出力端子を入力端子ま

たはグラウンドへ接続させる。

### 【0022】

本発明の利点は以下を含むこともある。本電圧レギュレータは、負荷変動に迅速に反応する比較的大きな電流を取り扱う。本電圧レギュレータは、使いやすい形状因子を持つ小型のコンデンサを用いてもよい。本電圧レギュレータは、リップル電流を減少させるために逆相で動作する複数のスレーブを含んでもよい。アナログ回路の使用は、コントローラのアナログ測定値をデジタル信号に変換することによって最小化される。コントローラは、大部分がデジタル回路を用いて実施され、従来の相補型MOS（CMOS）生産技法によって既知のプロセスを用いて生産できる。これはコントローラ内のチップに含まれない構成要素の数を減少させる。コントローラはデジタル制御アルゴリズムで動作し、その場合、動作パラメータを補正して異なる用途のための電圧レギュレータに適合させることができる。デジタル制御アルゴリズムは、スイッチング周波数より著しく高いクロック周波数で動作可能であり、負荷変動に迅速に応答することが可能である。マスタとスレーブはデジタル信号で通信可能であり、それによって通信上の信頼性向上が図れる。

### 【0023】

#### 【詳しい説明】

図1を参照して、スイッチングレギュレータ10は、入力端子20によりバッテリー等の定電圧化されていないDC入力電圧源12に接続される。スイッチングレギュレータ10は、出力端子22により集積回路等の負荷14にも接続される。負荷14は普通、期待される公称電圧 $V_{nom}$ および電圧許容範囲 $\Delta V_{nom}$ を有する。マイクロプロセッサチップの公称電圧 $V_{nom}$ は普通、約1.0から5.0ボルト、例えば約1.2から1.8ボルトであり、電圧許容範囲 $\Delta V_{nom}$ は普通、公称電圧 $V_{nom}$ の±6%、すなわち、1.2ボルトの公称電圧に対して約80mVである。スイッチングレギュレータ10は、入力端子20と出力端子22間のDC/DCコンバータとして働く。スイッチングレギュレータ10は、入力端子20の入力電圧 $V_{in}$ を、公称電圧 $V_{adj, nom}$ の許容範囲 $\Delta V_{nom}$ 内にある出力端子22の出力電圧 $V_{out}$ に変換するための一つ以上のスレーブ16、およびスレー

ブ16の動作を制御するためのマスタコントローラ18を含む。マスタコントローラ18は、(図示のような)電圧源12または別の電圧源によって電力を供給される。

#### 【0024】

端的に言えば、マスタコントローラ18は、デジタル式電流基準制御アルゴリズムを使用している。スレーブからの出力電圧 $V_{out}$ とフィードバックとに基づいて、マスタコントローラ18の制御アルゴリズムは、出力電圧 $V_{out}$ を実質的に一定レベルに、つまり電圧許容範囲内に維持するために各スレーブ16の状態を判定する。マスタコントローラ18は、各スレーブ16を制御する一組の制御信号を生成し、それを適切な状態に設定する。より詳細には、マスタコントローラ18は、スイッチングレギュレータ10からの電流を負荷14への電流と確実に一致させ、それによって出力電圧を実質的に一定レベルに維持する。例えば、電流負荷(または単に「負荷」)が増加する場合、スレーブを流れる電流の量は増加する。これは、所望の負荷に到達するまで、電流を「一定勾配で上昇」させる。一方、負荷が減少する場合、アクティブスレーブを通る電流量が減少する。これは、所望の負荷に到達するまで、電流を「一定勾配で下降」させる。

#### 【0025】

各スレーブ16は、中間端子26に入力端子20を交互に接続、遮断する電力スイッチとして働くスイッチング回路24を含む。スイッチング回路24は、スイッチやダイオード等の整流器も含み、中間端子26を接地接続する。各スレーブの中間端子26は、出力フィルタ28を介して出力端子22に接続される。スイッチング回路24の開閉は、中間端子26に矩形波を持つ中間電圧 $V_{int}$ を生成する。出力フィルタ28は、この矩形波を出力端子22での実質的にDCである出力電圧に変換する。このスイッチングレギュレータは、バックコンバータトポロジとして以下に図示し説明するが、本発明はまた、例えばブーストコンバータやバックブーストコンバータトポロジ等の他の電圧レギュレータトポロジにも適用できる。

#### 【0026】

図示のように、スイッチング回路24と出力フィルタ28は、バックコンバー



タトポロジで構成される。特に、各スレーブ16のスイッチング回路24は、入力端子20に接続されるソースと中間端子26に接続されるドレインとを有する第1のトランジスタ30のようなスイッチを含む。スイッチング回路24はまた、接地接続されたソースと中間端子26に接続されたドレインとを有する第2のトランジスタ32のような整流器を含む。第1のトランジスタ30はP型MOS（PMOS）デバイスでよく、第2のトランジスタ32はN型MOS（NMOS）デバイスでよい。代替として、第2のトランジスタ32は、整流が可能となるようにダイオードに置換えるか、またはダイオードで補完してもよい。第1と第2のトランジスタ30と32はそれぞれ、制御ライン44aと44b上のスイッチング信号により駆動される。出力フィルタ28は、中間端子26と出力端子22間に接続されるインダクタ34と、負荷14と並列接続されたコンデンサ36を含む。更に、各スレーブ16からのコンデンサ36は、インダクタ34からの共通ラインへ接続される一つ以上のコンデンサで補完するか、置換えてもよい。

#### 【0027】

第1のトランジスタ30が閉じて、第2のトランジスタ32が開いている場合（PMOS導通状態）、中間端子26は電圧源12に接続され、電圧源12は、第1のトランジスタ30を介して負荷14およびインダクタ34にエネルギーを供給する。他方、第1のトランジスタが開いて、第2のトランジスタが閉じている場合（NMOS導通状態）、中間端子26は接地接続され、インダクタ34によってエネルギーが負荷14に供給される。

#### 【0028】

各スレーブ16は第1と第2のトランジスタ30と32のそれぞれの電流を測定する第1と第2の電流センサ40と42を含む。マスタコントローラ18は、電流センサ40と42の情報を電流基準制御アルゴリズムの状態で使用する。各電流センサは、一本以上の出力ライン上にデジタル出力信号を生成する。単一ビット信号では、出力ライン上のデジタル出力信号は、スレーブを通る電流がトリガー電流を超えるかまたは下回る場合、ハイからローへスイッチングされる（逆も同）。特に、第1の電流センサ30からの第1の出力ライン44c上の信号は

、第1のトランジスタを通る電流が第1のトリガー電流  $I_{p\_cross}$  を超える時に、ローからハイへスイッチングする。同様に、第2の電流センサ42からの第2の出力ライン44上の出力信号は、第2のトランジスタ32を通る電流が第2のトリガー電流  $I_{n\_cross}$  未満に低下する時にハイからローへスイッチングする。

#### 【0029】

図1に示すように、各出力ライン44cと44dは、マスタコントローラ18に直接接続されてもよい。代替として、図1Aに示すように、第1と第2の出力ラインは、単一の出力ライン44gを形成するよう互いに結合されてもよい。この場合、マスタコントローラ18'が判定することは、スレーブがPMOS（第1のトランジスタ）かまたはNMOS（第2のトランジスタ）導通状態のいずれであるかに基づいて、出力ライン44g上の信号  $g_1, g_2, \dots, g_n$  が第1または第2のトランジスタのいずれの電流を表しているかということである。

#### 【0030】

図2を参照すると、例えば第1の電流センサ40等の各電流センサは、基準トランジスタ52、電流源54および比較器56を含む。同様の電流センサは、Anthony Stratakos他によって同時出願され、本発明の譲受人に譲渡された米国特許出願第09/183,417号「電流測定技法」に記載されており、その全ての開示は引用されて本明細書に組み込まれる。基準トランジスタ52は、測定されるトランジスタつまり第1のトランジスタ30のソースに接続されるソース、電流源54に接続されるドレイン、および制御ライン44eに接続されるゲートを有する。基準トランジスタ52はパワートランジスタ30と同一である。すなわち、トランジスタ素子は同じチップ上に、同じ寸法で同じプロセスを使用して製造されるので、両者は実質的に同一の電気的特性を有する。既知の電流  $I_{ref}$  が電流源54を流れる。比較器56のプラス入力、基準トランジスタ52のドレインと電流源54の間のノード58に接続され、比較器56のマイナス入力は中間端子26に接続されている。比較器の出力は基準ライン44cに接続されている。第2の電流センサ42も同様に構成されるが、NMOSトランジスタに関連付けられる極性を有する。

#### 【0031】

動作においては、パワートランジスタ30および基準トランジスタ52がともに閉じているとすると、スレーブ電流 $I_{slave}$ はパワートランジスタ30を流れ、基準電流 $I_{ref}$ は基準トランジスタ52を流れることになる。ノード58での電圧 $V_{node}$ は、 $V_{node} = V_{in} - (R_R \times I_{ref})$ によって与えられ、ここで $R_R$ はトランジスタ52の等価抵抗であり、一方、中間端子26での電圧 $V_{int}$ は、 $V_{int} = V_{in} - (R_P \times I_{slave})$ で与えられ、ここで $R_P$ はパワートランジスタ30の抵抗である。基準トランジスタ52が単一トランジスタ素子で製作されているのに対して、パワートランジスタはNトランジスタ素子で製作されているので、パワートランジスタの抵抗 $R_P$ は基準トランジスタ52の $R_R$ の $1/N$ 倍に実質的に等しく、従って $V_{node} = V_{in} - (R_P \times N \times I_{ref})$ となり、スレーブ電流 $I_{slave}$ が $N \times I_{ref}$ より大きい場合、ノード電圧 $V_{node}$ は中間電圧 $V_{int}$ より大きくなる。従って、スレーブ電流 $I_{slave}$ がスレッショルド電流 $N \times I_{ref}$ より大きい場合、電流センサ40は出力ライン44cへ高い信号を出力し、一方、スレーブ電流 $I_{slave}$ がスレッショルド電流 $N \times I_{ref}$ より低い場合、基準ライン44cに低い信号を出力する。

### 【0032】

2個の電流センサ40および42は、異なるスレッショルド電流 $T_{pcross}$ および $T_{ncross}$ を提供するように異なる基準電流 $I_{ref}$ を用いて構成してもよい。第1の電流センサ40用の第1のスレッショルド電流 $T_{pcross}$ は、第2の電流センサ42用の第2のスレッショルド電流 $T_{ncross}$ より大きくてもよい。従って、スレーブ電流 $I_{slave}$ がスレッショルド電流 $T_{pcross}$ より大きい場合、電流センサ40は高い信号を出力し、スレーブ電流 $I_{slave}$ がスレッショルド電流 $T_{pcross}$ 未満の場合、低い信号を出力する。同様に、電流センサ42は、スレーブ電流 $I_{slave}$ がスレッショルド電流 $T_{ncross}$ より大きい場合、出力ライン44dに高い信号を出力し、スレーブ電流 $I_{slave}$ がスレッショルド電流 $T_{ncross}$ 未満の場合、低い信号を出力する。これらの簡単なスレッショルド出力信号は、マスタコントローラ18にスレーブ電流についての情報を提供し、アナログ信号よりノイズに影響されず、電力消費がより少なく、そして電流を完全にA/D変換する結果、多数の相互接続が不要となる。

## 【0033】

電流スレッシュヨルド $T_{ncross}$ および $T_{pcross}$ が選択されて、それによりスレーブ電流 $I_{slave}$ が、各スイッチングサイクルで、つまり、各PMOSおよびNMOSの導通状態で、少なくとも一つのスレッシュヨルドと交差できる。スレッシュヨルド電流 $T_{pcross}$ は、スレーブ電流 $I_{slave}$ がスレッシュヨルドを横切るのが、比較器がイネーブルになった後で起きるという可能性を増大させるためにスレッシュヨルド電流 $T_{ncross}$ より高くなければならない。一実施の形態では、第1のスレッシュヨルド電流 $T_{pcross}$ は約8アンペアでよく、他方、第2のスレッシュヨルド電流 $T_{ncross}$ は約2アンペアでよい。

## 【0034】

電流センサは、一つを超えるデジタル信号を出力するよう構成できる。例えば、スレーブ電流 $I_{slave}$ が第1のスレッシュヨルド電流 $T_{pcross}$ を超える場合、電流センサは第1のデジタル信号を生成でき、スレーブ電流 $I_{slave}$ が、第2のスレッシュヨルド電流 $T_{pcross2}$ を超える場合、第2のデジタル信号を生成できる、等である。

## 【0035】

図1に戻って、先に説明したように、出力端子22の出力電圧 $V_{out}$ は、マスタコントローラ18によって定電圧化され、または実質的に一定のレベルに維持される。マスタコントローラ18は、出力端子22での電圧を測定して、各スレーブ16の電流センサ40および42からの出力ライン44cおよび44d上のデジタル出力信号を受け取る。電流センサからの測定出力電圧 $V_{out}$ および出力信号に応答して、マスタコントローラ18は、各スレーブ16内の第1と第2のトランジスタ30、32の動作を制御するために制御信号を生成する。マスタコントローラ18の動作は、以下に更に詳細に説明する。

## 【0036】

マスタコントローラ18とスレーブ16は、大部分がデジタルでスイッチドキャパシタを基礎とする構成部品を利用して構成してもよい。従って、大部分のスイッチングレギュレータ10は、従来のCMOS技法を利用してシングルチップ上に実装されるか、またはその上に製造される。しかし、各スレーブ16はシン

グルチップ上に製造され、マスタコントローラ18は別のチップ上に製造されることが好ましい。あるいは、各スレーブは単一ICで製造され、電圧センサは別のICチップ上に製造され、そして、デジタルコントローラの残りは更に別のICチップ上に製造されてもよい。各チップは従来のCMOS技法を利用して製造されてもよい。

#### 【0037】

図3を参照すると、マスタコントローラ18は、スイッチング回路の各サイクル中に一つ以上の離散時間で、出力端子22の出力電圧 $V_{out}$ を測定する電圧サンプリング回路60を含む。このサンプリング回路60は、Anthony Stratakos 他による、本発明の譲受人に譲渡され、その全ての開示は引用されて本明細書に組み込まれる、1997年12月16日出願の米国特許出願第08/991,394号「スイッチングレギュレータに用いるためのデータの離散時間サンプリング」に記載されているように実質的に構成できる。サンプリング回路60は、寄生容量およびインダクタンスによって発生する誤差を低減させるためにマイクロプロセッサのグランドへ直接に接地接続されてもよい。サンプリング回路60によってサンプリングされた電圧は、アナログデジタル(A/D)コンバータ62によってデジタル電圧信号に変換される。

#### 【0038】

マスタコントローラ18はデジタル制御アルゴリズム64も含む。デジタル制御アルゴリズムは、A/Dコンバータ62からデジタル電圧信号を、出力ライン44cと44dから出力信号 $c_1, c_2, \dots, c_n$ と $d_1, d_2, \dots, d_n$ を、そして外部クロックからクロック信号66を受け取る。クロック信号66は、マイクロプロセッサを実行する同じクロックによって、負荷内の他のIC装置によって、またはマスタコントローラチップ上のクロックによって生成されてもよい。クロック周波数 $f_{clock}$ は、スイッチング回路24のスイッチング周波数 $f_{switch}$ より著しく高くするのがよく、例えば、負荷変動に迅速に応答するのを確実にするためには、10~100倍高くするのがよい。しかし、クロック周波数 $f_{clock}$ は、スイッチングレギュレータとマスタコントローラが電圧源に大きなドレインを構成するほど高くすべきではない。普通、クロック周波数 $f_{clock}$ はマイクロ

ロセッサのクロック速度ほど高くなく、マイクロプロセッサのクロック信号を分周して発生させる。クロック信号66の周波数は、約16と66MHz間、例えば約33MHzの周波数 $f_{clock}$ である。

#### 【0039】

図3Aを参照して、マスタコントローラ18'の別の実施は、出力電圧と公称電圧との差、すなわち $V_{out[n]} - V_{nom}$ 、および現在の出力電圧と一つ前のクロックサイクルにおける出力電圧の差、すなわち $V_{out[n]} - V_{out[n-1]}$ 、を測定するために出力端子24に接続される電圧のサンプリング&ホールド回路60'を含む。デジタル公称電圧 $V_{nom}$ は、外部ピンによってセットされ、デジタル／アナログ(D/A)コンバータ68によって、アナログ電圧に変換されてもよい。この実施では、サンプリング回路60'によってサンプリングされた電圧差は、2個のA/Dコンバータ62'によって、2つのデジタル電圧差信号に変換される。電圧差の場合には必要な変換はより狭い範囲で済むので(A/Dコンバータ60'と比較すると)、より単純でより高速のA/Dコンバータが使用できる。デジタル制御アルゴリズムは、A/Dコンバータ62'からのデジタル電圧差信号、出力ライン44cと44dからの出力信号 $c_1, c_2, \dots, c_n$ と $d_1, d_2, \dots, d_n$ 、外部クロックからのクロック信号66、デジタル公称電圧 $V_{nom}$ 、および電流リミットライン44h上の電流制限信号を受け取る(以下に図1Aを参照して説明する)。

#### 【0040】

図1および図3に戻ると、デジタル制御アルゴリズム64は、各スレーブ16においてトランジスタ30と32を制御するために、タイミングライン44aと44b上の制御信号 $a_1, a_2, \dots, a_n$ および $b_1, b_2, \dots, b_n$ のセットを生成する。電流負荷に基づいて、デジタル制御アルゴリズム64は、各スレーブのスイッチング状態、すなわち、出力端子22の出力電圧 $V_{out}$ が、公称電圧 $V_{nom}$ の電圧許容範囲 $\Delta V_{nom}$ 内に実質的に維持されるように、PMOSトランジスタ30が閉じてNMOSトランジスタ32が開きかつNMOSトランジスタ32が閉じてPMOSトランジスタ30が開き、またはPMOSトランジスタ30とNMOSトランジスタ32がともに開く、という状態を判定する。

## 【0041】

代替として、図1A、3Aおよび13Aを参照すると、マスタコントローラ18'は一つ以上のデジタルの状態制御信号を生成し、この信号は、制御ライン44aと44b上の制御信号を生成するために各スレーブ16'内のオンチップインタープリタ48により解釈される。図示のように、マスタコントローラ18'が、状態制御ライン44h上に、PMOS状態制御信号 $e_1, e_2, \dots, e_N$ 、NMOS状態制御信号 $f_1, f_2, \dots, f_N$ 、そして連続/不連続モード動作制御信号 $h_1, h_2, \dots, h_N$ を生成する。特に、スレーブがPMOS導通状態にスイッチングされる場合、マスタコントローラは、PMOS状態制御ライン44e上にパルス49aを出力する。一方、スレーブがNMOS導通状態にスイッチングされる場合、マスタコントローラ18'は、NMOS状態制御ライン44f上にパルス49bを出力する。オンチップインタープリタ48は、状態制御ライン44e上のパルス49aの立上がりエッジを、PMOS状態にスレーブ16をスイッチングする命令として解釈する。例えば、制御ライン44a'をハイに設定し、制御ライン44b'をローに設定することによってスイッチングする。逆に、状態制御ライン44f上のパルス49bの立上がりエッジは、オンチップインタープリタ48によって、スレーブ16をNMOS状態にスイッチングする命令として解釈される。例えば、制御ライン44a'をローに設定し、制御ライン44b'をハイに設定することによってスイッチングする。オンチップインタープリタは、状態制御ライン44eと44f上のパルスの立下りエッジをそれぞれ電流センサ40と42内の比較器56をイネーブルする命令として解釈する。

## 【0042】

連続するモード動作が、イネーブルされると（例えば、制御ライン44gがローのとき）、スイッチング回路は通常、スレーブ電流 $I_{slave}$ が負のときに動作する。しかし、NMOSトランジスタ30が閉じていて、不連続モード動作制御信号がディスエイブルの場合には（例えば、制御ライン44gがハイのとき）、NMOSトランジスタ30およびPMOSトランジスタ32はともに、スレーブ電流 $I_{slave}$ がゼロを下回る場合、負電流がスレーブを流れるのを防止するために開く。一般に、マスタコントローラ18は、より効率がよい不連続モードでス

スレーブを動作させる。しかし、負荷が大きくて急速な電圧低下を起こす場合、連続モードで動作する方が有利である。

#### 【0043】

スレーブは故障保護回路68も含み、スイッチング回路の電流が、例えば15アンペアの危険なレベルを超える場合、自動的にスレーブを遮断する（マスタコントローラからの制御信号を無効にする）。故障保護回路68が作動する場合、スレーブは電流制限ライン44i（図3A参照）上にデジタル信号を送ってスレーブが非アクティブにされたことをマスタコントローラ18'に知らせる。スレーブは、他のデジタルフィードバック信号を生じてよい。例えば、スレーブは状態センサを含んでもよく、PMOSまたはNMOS導通状態にある等の、スイッチングレギュレータの状態を示すデジタル状態信号を生成する。

#### 【0044】

図4を参照して、各クロックサイクル $T_{clock}$ 毎に、例えばクロック周波数 $f_{clock}$ が約33MHzである場合、約30ナノ秒毎に、デジタル制御アルゴリズム64は制御方式100を実行してもよい。制御アルゴリズム64は、各スレーブに対してそのスレーブのインダクタ34の電流を表す推定電流 $I_{estimate}$ を判定する（ステップ102）。制御アルゴリズム64はまた、出力端子22上の目標出力電圧を表す所望電圧 $V_{des}$ を計算し（ステップ104）、インダクタを介して負荷に流入するはずの電流を表す所望全電流 $I_{total}$ を計算するので、出力電圧 $V_{out}$ は実質的に所望電圧 $V_{des}$ に等しくなる（ステップ106）。次に、デジタル制御アルゴリズムは、次のクロックサイクルでアクティブにされる所望数のスレーブを決定し（ステップ108）、各スレーブに対する所望電流 $I_{des}$ を計算する（ステップ110）。最後に、制御アルゴリズムは各スレーブの第1と第2のトランジスタ30、32を制御するので、スレーブの全電流は所望全電流 $I_{total}$ に実質的に、例えば所望電流誤差 $\Delta I_{total}$ の範囲内で等しくなる（ステップ112）。各々のこれらのステップは以下で更に詳細に説明する。しかし、特定順序で実行しなくてもよいことが理解されよう。例えば、様々な計算は、並列で実行され、または前のクロックサイクルで実行されて記憶されてもよい。特に、所望電圧と所望電流は、次のクロックサイクルで用いるために計算され記憶



される。

【0045】

図1と図5を参照して、推定電流  $I_{estimate}$  はステップ102で計算される。インダクタを通過する電流の変動率、つまり  $dI/dT$  は、インダクタにかかる電圧  $V_{inductor}$  に比例するので、

【0046】

【式1】

$$V_{inductor} = L \frac{dI}{dT} \quad (1)$$

【0047】

ここで、 $L$  は中間端子26から出力端子22へ流れる電流についてのインダクタのインダクタンスである。PMOS導通状態の間、中間端子26は入力電圧源に接続され、インダクタ34にかかる電圧  $V_{inductor}$ 、すなわち  $V_{out} - V_{intetmed}$  は正であり、それによりインダクタの電流を増加させる。一方、NMOS導通状態の間、中間端子26は接地されているので、インダクタ34にかかる電圧  $V_{inductor}$  は負となり、それによってインダクタの電流を減少させる。PMOS導通状態の間、スレーブ電流  $I_{slave}$  の勾配（想像線70で示す）は次式で与えられる。

【0048】

【式2】

$$\frac{dI}{dT} = \frac{V_{in} - V_{out}}{L} \quad (2)$$

【0049】

一方、NMOS導通状態の間、スレーブ電流  $I_{slave}$  の勾配は次式で与えられる。

【0050】

【式3】

$$\frac{dI}{dT} = \frac{-V_{out}}{L} \quad (3)$$

## 【0051】

推定電流  $I_{estimate}$  (実線72で示す) はクロックサイクル毎に調整される。特に、PMOS導通状態の間、推定電流  $I_{estimate}$  はクロックサイクル毎に一定勾配で上昇する値  $\Delta I_{up}$  によって増加される。同様に、NMOS導通状態の間、推定電流  $I_{estimate}$  はクロックサイクル毎に一定勾配で下降する値  $\Delta I_{down}$  によって減少される。一定勾配で上昇および下降する  $\Delta I_{up}$  および  $\Delta I_{down}$  は次式で与えられてもよい。

## 【0052】

## 【式4】

$$\Delta I_{up} = \frac{V_{in} - V_{out}}{L \cdot f_{clock}} \quad \Delta I_{down} = \frac{V_{out}}{L \cdot f_{clock}} \quad (4)$$

## 【0053】

ここで、 $L$  はインダクタ34のインダクタンス、 $f_{clock}$  はクロック周波数である。

## 【0054】

公称値は  $\Delta I_{up}$  と  $\Delta I_{down}$  の判定において変数として使用されてもよく、その結果、一定勾配で上昇、下降する率はスイッチングレギュレータの動作中変化しない。代替として、 $V_{in}$ 、 $V_{out}$ 、 $f_{clock}$  および  $L$  の値の一つ以上は、スイッチングレギュレータ10の動作中に一定勾配で上昇、下降する率の動的な調整ができるように  $\Delta I_{up}$  と  $\Delta I_{down}$  の再計算のために測定され使用されてもよい。残念ながら、インダクタンス  $L$  と入力電流  $V_{in}$  は、正確には判らず、時間によって変化し、また回路から回路へと変化する。従って、推定電流  $I_{estimate}$  は、実際のスレーブ電流  $I_{slave}$  からずれる。その結果、実際のスレーブ電流  $I_{slave}$  に対し

て、時々推定電流  $I_{estimate}$  をチェックすることが必要となる。各クロックサイクルで、スレーブのための推定電流  $I_{estimate}$  が、電流センサ40と42からの出力信号に対してチェックされる。推定値が測定値と一致しない場合、推定値が一致するように調整される。

### 【0055】

図6Aと図7Aを参照して、PMOS導通状態中、推定電流  $I_{estimate}$  が上側のスレッショルド電流  $I_{pcross}$  未満であるが、電流センサ40からの出力信号  $c_1$  がハイの場合には、推定電流は  $I_{pcross}$  に一致するように増加される。図6Bと図7Bを参照して、推定電流  $I_{estimate}$  が上側のスレッショルド電流  $I_{pcross}$  を超えるが、出力信号  $c_1$  が低い場合には、推定電流  $I_{estimate}$  は、出力信号  $c_1$  がハイになるまで  $I_{pcross}$  に保たれる。図6Cと図7Cを参照して、NMOS導通状態中、推定電流  $I_{estimate}$  が下側のスレッショルド電流  $I_{ncross}$  より上にあるが、電流センサ42からの出力信号  $d_1$  が低い場合は、推定電流  $I_{estimate}$  は  $I_{ncross}$  に一致するよう直ちに減少される。図6dと図7dを参照して、推定電流  $I_{estimate}$  が下側のスレッショルド電流  $I_{ncross}$  を下回って低下するが、出力信号  $d_1$  が高い場合、推定電流  $I_{estimate}$  は出力信号  $d_1$  が低くなるまで、 $I_{ncross}$  に保持される。推定電流  $I_{estimate}$  の計算は、表1に要約される。

### 【0056】

【表1】

PMOS 導通状態	$I_{estimate} > I_{pcross}$	$c_1$ ハイ	$\Delta I_{up}$ によって $I_{estimate}$ 増加
		$c_1$ ロー	$I_{pcross}$ で $I_{estimate}$ 保持
	$I_{estimate} < I_{pcross}$	$c_1$ ハイ	$I_{pcross}$ へ $I_{estimate}$ 増加
		$c_1$ ロー	$\Delta I_{up}$ によって $I_{estimate}$ 増加
NMOS 導通状態	$I_{estimate} > I_{ncross}$	$d_1$ ハイ	$\Delta I_{up}$ によって $I_{estimate}$ 減少
		$d_1$ ロー	$I_{ncross}$ へ $I_{estimate}$ 減少
	$I_{estimate} < I_{ncross}$	$d_1$ ハイ	$I_{ncross}$ で $I_{estimate}$ 保持
		$d_1$ ロー	$\Delta I_{up}$ によって $I_{estimate}$ 減少

表1

### 【0057】

デジタル制御アルゴリズムは、擬似信号が推定電流を誤って調整することを防止するよう、PMOSとNMOS導通状態の間のスイッチング直後に一つ以上の

クロックサイクル内の電流センサからの信号を無視してもよい。

### 【0058】

比較器を作動させるために必要なスイッチング時間によって遅延時間  $\Delta T_{\text{delay}}$  と、出力ライン 44c または 44d に沿って信号が伝わるために必要な伝播時間とは、推定電流の判定に因数分解される。例えば、出力信号  $c_1$  がローからハイへスイッチングされる時に推定電流  $I_{\text{estimate}}$  が補正される場合は、補正係数  $\Delta T_{\text{delay}} \times \Delta I_{\text{up}} \times f_{\text{switch}}$  はマスタコントローラが出力信号  $c_1$  の変化を受け取る時に、実電流を表すよう推定電流に加算される。同様に、出力信号  $d_1$  がハイからローへスイッチングされる時に推定電流  $I_{\text{estimate}}$  が補正される場合、補正係数  $\Delta T_{\text{delay}} \times \Delta I_{\text{down}} \times f_{\text{switch}}$  は推定電流から減算される。代替として、（表1で使用される  $I_{\text{ncross}}$  と  $I_{\text{pcross}}$  の元の値を維持する間）同一の効果を得るためにスレッシュホールド電流  $I_{\text{pcross}}$  は、補正係数  $\Delta T_{\text{delay}} \times \Delta I_{\text{up}} \times f_{\text{switch}}$  により減少されてもよく、またスレッシュホールド電流  $I_{\text{ncross}}$  は補正係数  $\Delta T_{\text{delay}} \times \Delta I_{\text{down}} \times f_{\text{switch}}$  によって、増加してもよく図8を参照すると、所望電圧  $V_{\text{desired}}$  は、ステップ104で選択されて、出力電圧  $V_{\text{out}}$  が公称電圧  $V_{\text{nom}}$  の電圧許容範囲  $\Delta V_{\text{nom}}$  の範囲内に保たれるという可能性を高める出力電圧  $V_{\text{out}}$  についての負荷変動の効果は、想像線ライン80で図示する。特に、負荷が突然増加する場合、電流はコンデンサ36から負荷14に流れ、それによって出力電圧  $V_{\text{out}}$  は低下する。逆に、スイッチングレギュレータの負荷が突然減少する場合、電荷はコンデンサ36に蓄積され、それによって出力電圧  $V_{\text{out}}$  は増加する。これは、出力電圧  $V_{\text{out}}$  が、許容範囲電圧を例えば超過電圧  $\Delta V_{\text{excess}}$  まで超える原因となる。

### 【0059】

コントローラ18は、超過電圧  $\Delta V_{\text{excess}}$  を低下または除去するために所望電圧  $V_{\text{desired}}$  を選択する。スイッチングレギュレータの負荷が最小である場合、負荷は増加だけでき、従って、出力電圧  $V_{\text{out}}$  は低下だけできる。逆に、スイッチングレギュレータの負荷が最大である場合、負荷は減少だけでき、従って、出力電圧  $V_{\text{out}}$  は増加だけできる。負荷が低い場合、所望電圧  $V_{\text{desired}}$  は僅かに公称電圧  $V_{\text{nom}}$  より高くなるようセットされる。負荷が高い場合、所望電圧  $V_{\text{desired}}$

edは僅かに公称電圧 $V_{nom}$ より低くなるようセットされる。実線82で示すように、この技法は、超過電圧 $\Delta V_{excess}$ を低下させ、それによって、出力電圧 $V_{out}$ が公称電圧 $V_{nom}$ の所望の電圧許容範囲 $\Delta V_{nom}$ の範囲内に留まる可能性を高める。従って、与えられた負荷に対して、スイッチングレギュレータは、より小さなコンデンサを使用でき、かつ同じ電圧許容範囲を維持できる。クロックサイクル $n+1$ に対する所望電圧 $V_{desired[n+1]}$ は、次のように計算されてもよい：

【0060】

【式5】

$$V_{desired[n+1]} = c_1 V_{nom} + c_2 (V_{nom} - V_{desired[n]}) + (c_1 + c_2) \left( 1 - 2 \frac{I_{load}}{I_{max}} \right) \cdot \Delta V_{swing} \quad (5)$$

【0061】

ここで、 $I_{load}$ は負荷14を流れる電流（下記の式8から計算）、 $I_{max}$ は負荷14の許容最大電流、 $c_1$ と $c_2$ はフィードバック定数、そして $\Delta V_{swing}$ は電圧許容範囲によって許容される電圧変動であり、すなわち、 $\Delta V_{swing} < \Delta V_{nom}$ である。例えば、公称電圧 $V_{nom}$ が1.3ボルトで電圧許容範囲が±6%であれば、 $\Delta V_{nom}$ は約78ミリボルト、 $\Delta V_{swing}$ はほぼ30ミリボルト、 $c_1$ は約1.0、 $c_2$ は約-0.9375であろう。

【0062】

一旦、所望電圧 $V_{desired}$ がステップ104で決定されると、所望全電流 $I_{total}$ はステップ106で決定される。特に、所望電流 $I_{total}$ は、出力端子22における出力電圧 $V_{out}$ を所望電圧 $V_{desired}$ に維持するためにセットされる。一般に、出力電圧 $V_{out}$ が所望電圧 $V_{desired}$ に等しいと仮定すると、インダクタを介して負荷に流れる全電流は、負荷を介する電流に等しいはず、すなわち $I_{total} = I_{load}$ である。しかし、電圧 $V_{out}$ が所望電圧 $V_{desired}$ と異なれば、スイッチングレギュレータ10を流れる電流はこの電圧誤差を補正するよう調整されてもよい。従って、所望全電流 $I_{total}$ は次のように表される：

【0063】

【式6】

$$I_{total} = I_{load} + I_{adjust} \quad (6)$$

【0064】

ここで、 $I_{adjust}$ は電圧誤差を補正する調整係数である。

【0065】

図9を参照して、出力端子に接続されるすべてのコンデンサがスレーブ内にあると仮定すると、負荷電流  $I_{load}$  は、各スレーブ16からの出力電流  $I_{out}(i)$  の合計に等しく、すなわち：

【0066】

【式7】

$$I_{load} = \sum_{i=1}^N I_{out}(i) \quad (7)$$

【0067】

各スレーブ16の出力電流  $I_{out}(i)$  は、インダクタ34を流れる電流すなわちスレーブ電流  $I_{slave}(i)$  と、コンデンサ36へまたはそこから流れる電流すなわちコンデンサ電流  $I_{cap}(i)$  との差に等しく、その結果：

【0068】

【式8】

$$I_{out}(i) = I_{slave}(i) - I_{cap}(i) \quad (8)$$

【0069】

従って、この構成では所望全電流  $I_{total}$  は次のように表される：

【0070】

【式9】

$$I_{total} = \sum_{i=1}^N I_{slave}(i) - \sum_{i=1}^N I_{cap}(i) + I_{adjust} \quad (9)$$

【0071】

スレーブ電流  $I_{slave}(i)$  は、正確には既知ではないが、各スレーブからの

推定電流  $I_{estimate}$  の合計として近似されるであろう。加えて、コンデンサ電流  $I_{cap}(i)$  も既知ではなく、スレーブ内のコンデンサは、インダクタ34からの共通ラインに接続されるマイクロプロセッサのバイパスコンデンサ等の一つ以上のコンデンサによって補完されるか、または置換えられてもよい。しかし一般に、出力電圧  $V_{out}$  が変動していれば、電流はコンデンサ36へまたはそこから流れていなければならない。その結果、全コンデンサ電流  $I_{CAP}$  は次式で表される：

【0072】

【式10】

$$I_{CAP} = C \cdot \frac{\Delta V_{out}}{\Delta T} \quad (10)$$

【0073】

ここで、 $C$  は出力端子と接地間に接続されるコンデンサの全キャパシタンス、 $\Delta T$  はクロック周期、そして  $\Delta V_{out}$  はクロック周期における出力電圧の変化である。従って、負荷電流  $I_{load}$  は一般に次式より決定される：

【0074】

【式11】

$$I_{load} = \sum_1^N I_{estimate}(i) - \frac{\Delta V_{out}}{\Delta T} \cdot C \quad (11)$$

【0075】

図3に示す実施では、 $\Delta V_{out}$  の計算、すなわち  $V_{out[n]} - V_{out[n-1]}$  はデジタル制御アルゴリズム64により実行されてもよいが、それに対して、図3Aに示す実施では、電圧差  $V_{out[n]} - V_{out[n-1]}$  はサンプリング&ホールド回路60'によって与えられる。

【0076】

調整電流  $I_{adjust}$  は、測定された出力電圧  $V_{out}$  と所望電圧  $V_{desired}$  の差に正比例する。従って、所望全電流  $I_{total}$  は次のように計算される：

【0077】

【式12】

$$I_{total} = \sum_i^N I_{estimate}(i) - \frac{\Delta V_{out}}{\Delta T} \cdot C + K(V_{out} - V_{desired}) \quad (12)$$

【0078】

ここで、Kは調整電流  $I_{adjust}$  を決定するフィードバック定数である。

【0079】

一旦全所望電流  $I_{total}$  が決定されると、コントローラ18はいくつのスレーブがステップ108でアクティブにされるべきかについて決定する。電流サイクルのためのスレーブ数は、前のクロックサイクルで計算することができる。一般に、アクティブスレーブの数は、所望全電流に比例する。例えば、各スレーブ16の最大平均電流が約7アンペアだとすると、 $I_{total}$  が0～7アンペアであるなら一つのスレーブがアクティブであればよく、 $I_{total}$  が7～14アンペアなら2つのスレーブがアクティブであればよい、等である。より詳しくは、アクティブスレーブの数は表2によって与えられる。

【0080】

【表2】



クロックサイクルNに対するアクティブスレーブの数	全電流 $I_{total}$ (アンペア)				
	クロックサイクルN+1に対するアクティブスレーブの数				
1	$0 > I_{total} \geq 7$	$7 > I_{total} \geq 14$	$14 \geq I_{total} > 21$	$21 \geq I_{total} > 28$	$28 \geq I_{total}$
	1	2	3	4	5
2	$0 > I_{total} \geq 6$	$6 > I_{total} \geq 14$	$14 \geq I_{total} > 21$	$21 \geq I_{total} > 28$	$28 \geq I_{total}$
	1	2	3	4	5
3	$0 > I_{total} \geq 6$	$6 > I_{total} \geq 12$	$12 \geq I_{total} > 21$	$21 \geq I_{total} > 28$	$28 \geq I_{total}$
	1	2	3	4	5
4	$0 > I_{total} \geq 6$	$6 > I_{total} \geq 12$	$12 \geq I_{total} > 18$	$18 \geq I_{total} > 28$	$28 \geq I_{total}$
	1	2	3	4	5
5	$0 > I_{total} \geq 6$	$6 > I_{total} \geq 12$	$12 \geq I_{total} > 18$	$18 \geq I_{total} > 24$	$24 \geq I_{total}$
	1	2	3	4	5

表 2

## 【0081】

一旦所望全電流  $I_{total}$  およびアクティブスレーブの数が決定されると、所望電圧  $I_{desired}$  はステップ110で各スレーブについて計算されてもよい。特に、所望電圧  $I_{desired}$  は、単にアクティブスレーブの数により除算される全電流  $I_{total}$  であってもよい。

## 【0082】

一旦、所望電流  $I_{desired}$  が各アクティブスレーブのために計算されると、各アクティブスレーブのスイッチング回路が制御され（ステップ112）、その結果、アクティブスレーブを流れる平均電流は実質的に所望電流  $I_{desired}$  に等しくなり、スイッチングレギュレータを流れる全電流は実質的に  $I_{total}$  に等しくなる。従って、スイッチングレギュレータ10から流れる電流は負荷12に流れる電流と一致し、それによって出力電圧を所望電圧  $V_{desired}$  に維持する。残りのすなわち、非アクティブのスレーブは接続されない。すなわち、PMOSトランジスタ30とNMOSトランジスタ32は共にオープンのみである。

## 【0083】

様々な制御アルゴリズムが、アクティブスレーブのスイッチング回路を制御することに対して可能であり、その結果、スイッチングレギュレータを流れる全電流は実質的に所望全電流  $I_{total}$  に等しくなる。一般に、制御アルゴリズムは下記要因のバランスを取るよう選択される：1) 負荷変動に迅速に応答するためにすべてのスレーブを同時にスイッチオンまたはオフにできること、2) スレーブが電圧リップルを最小にするよう所望位相オフセットで動作することを確実にすること、3) 実質的に一定レベルで電圧を維持するために平均電流を所望電流に等しく維持すること、および4) 所望スイッチング周波数でスイッチングを行うこと。

#### 【0084】

図10を参照して、アクティブスレーブの一つは、例えば所定の選択パターンに基づいて基準スレーブとして選択される（ステップ120）。例えば、特定スレーブが基準スレーブとして指定されてもよく、あるいは基準スレーブはスレーブを順に交代させてもよい。以下に検討されるように、残りのスレーブ、すなわち非基準スレーブの動作は基準スレーブの動作に結合される。基準スレーブは、スイッチングレギュレータのパワーアップ時、またはアクティブスレーブ数を変更する度に選択されてもよい。一旦基準スレーブが選択されると、所望位相オフセットは各非基準スレーブについて計算される（ステップ122）。所望位相オフセットは、アクティブスレーブの数に変更される度に決定してもよい。非基準スレーブは、所望位相オフセットで動作するよう制御される。

#### 【0085】

各クロックサイクルで、上限電流  $I_{upper}$  と下限電流  $I_{lower}$  を含む2つの電流制限が、基準スレーブについて計算される（ステップ124）。最終的に、基準スレーブは、基準スレーブ制御アルゴリズムに基づいて制御され（ステップ126）、そして非基準スレーブは非基準スレーブ制御アルゴリズムに基づいて制御される（ステップ128）。いくつかの実施では、基準スレーブは、推定電流  $I_{estimate}$  の上下の電流制限  $I_{upper}$  と  $I_{lower}$  との比較に基づいて制御され、そして非基準スレーブは、所望位相オフセットに基づいて制御される。もちろん、図10に示すステップの順序は例としてであり、ステップは別の順序で並列に実行

できるであろう。例えば、任意の特定クロックサイクルにおいて、電流制限は位相オフセットの前に計算でき、スレーブが、以前のクロックサイクル内で計算し記憶した電流制限と位相オフセットに基づいて制御される場合、計算ステップは制御ステップの後で実行することができる。

### 【0086】

ステップ122では、各非基準スレーブについて、制御アルゴリズムは、基準スレーブと非基準スレーブの間でPMOSとNMOS導通状態の開始時における所望時間遅延を表わす所望位相オフセット $\Phi(i)$ を計算する。例えば、2台のスレーブがアクティブであれば、それらは $180^\circ$ の位相ずれであり、時間遅延はスイッチング周期 $T$ の半分、すなわち $\Phi(1) = 1/(2T)$ に等しいはずである。3台のスレーブがアクティブであれば、それらは、 $120^\circ$ の位相ずれであり、時間遅延 $\Phi(1)$ および $\Phi(2)$ はスイッチング周期のそれぞれ $1/3$ および $2/3$ に等しいはずである。位相がずれているスレーブを動作させることによって、各スレーブからの電流リップルは少なくとも部分的に打消され、それによって、スイッチングレギュレータからより一定の出力電流が提供される。所望位相オフセットは、表3により要約される。

### 【0087】

【表3】

所望位相 オフセット	アクティブスレーブの数				
	1	2	3	4	5
$\Phi(0)$ 基準	0	0	0	0	0
$\Phi(1)$		$(1/2)T$	$(1/3)T$	$(1/4)T$	$(1/5)T$
$\Phi(2)$			$(2/3)T$	$(1/2)T$	$(2/5)T$
$\Phi(3)$				$(3/4)T$	$(3/5)T$
$\Phi(4)$					$(4/5)T$

表3

### 【0088】

上下の電流制限 $I_{upper}$ と $I_{lower}$ がステップ124で基準スレーブについて計算され、その結果、基準スレーブ16を介する平均電流が所望電流 $I_{desired}$ に等しくなる。特に、上限電流 $I_{upper}$ と下限電流 $I_{lower}$ は次のように計算される

:

【0089】

【式13】

$$I_{upper} = I_{desired} + \frac{1}{2}\Delta I_0 \quad I_{lower} = I_{desired} - \frac{1}{2}\Delta I_0 \quad (13)$$

【0090】

ここで、 $\Delta I_0$ は基準スレーブのバンド幅である。バンド幅 $\Delta I_0$ は、次のように所望スイッチング周波数に基づいてセットされる：

【0091】

【式14】

$$\Delta I_0 = \frac{1}{\left( \frac{L}{V_{in} - V_{out}} + \frac{L}{V_{out}} \right)} \cdot \frac{1}{f_{switch}} \quad (14)$$

【0092】

ここで、 $f_{switch}$ は所望スイッチング周波数である。所望スイッチング周波数は、適切な電力効率を維持しながら良好な動的応答を備えるように選択される。一般に、スイッチング周波数の増加は、電流リップルを低減させるが、スイッチングレギュレータを非効率にする。逆に、スイッチング周波数の低下は、スイッチングレギュレータの電力効率を向上させるが電流リップルが増加する。スイッチング周波数は、約0.5～5.0MHzの範囲内、例えば約1MHzにある。所望スイッチング周波数を与えるバンド幅計算は、式14における他の変数の測定値または公称値のいずれかに基づく。

【0093】

基準スレーブの制御におけるマスタコントローラ18の基本的な動作の一つの実施は、図11と図12を参照して説明される。前記のように、マスタコントローラ18は、ステップ102において推定電流 $I_{estimate}$ を計算する（実線70で示す）。マスタコントローラ18はまた、ステップ122で上限電流 $I_{upper}$ （実線72で示す）と下限電流 $I_{lower}$ （実線74で示す）も計算する。デジタ

ル制御アルゴリズム64は、基準スレーブの推定電流  $I_{estimate}$  を上限電流  $I_{upper}$  および下限電流  $I_{lower}$  と比較して、第1と第2のトランジスタ30、32をスイッチングすべきかどうか判定する。特に、推定電流  $I_{estimate}$  が上限電流  $I_{upper}$  を超える場合、NMOSトランジスタ32が閉じて、PMOSトランジスタ30が開き、それによって中間端子26を接地する。一方、推定電流  $I_{estimate}$  が下限電流  $I_{lower}$  を下回る場合、NMOSトランジスタ32は開いて、PMOSトランジスタ30が閉じ、それによって中間端子26は入力電圧源12に接続される。従って、推定電流  $I_{estimate}$  が基準スレーブを流れる電流  $I_{slave}$  を正確に表すと仮定すると、基準スレーブ電流  $I_{slave}$  (想像線76で示す) は、上限電流  $I_{upper}$  と下限電流  $I_{lower}$  の間で振動し、基準スレーブ電流  $I_{slave}$  の平均電流が、所望電流  $I_{desired}$  に略等しくなる(想像線78で示す)。

#### 【0094】

図1Aに示すスイッチングレギュレータ10'において、推定電流  $I_{estimate}$  が上限電流  $I_{upper}$  を超える場合、マスタコントローラ18'はパルス49bを状態制御ライン44fに出力する。このパルスは、オンチップインタープリタ48によって、PMOSトランジスタ30を開き(図13Aにローになる制御ライン44aで示す)、NMOSトランジスタ32を閉じる命令として解釈される。一方推定電流  $I_{estimate}$  が下限電流  $I_{lower}$  を下回って降下する場合、マスタコントローラは、NMOSトランジスタ32を開きPMOSトランジスタ30を閉じさせる制御ライン44aにパルス49aを出力する(図13Aにハイになる制御ライン44aで示す)。

#### 【0095】

上限電流  $I_{upper}$  と下限電流  $I_{lower}$  は、基準スレーブから流れる平均電流と確実に一致することを確実にするようスイッチング回路24の制御に用いられる。例えば、負荷が増加すると、 $I_{desired}$  は増加し、制限電流  $I_{upper}$  と  $I_{lower}$  が増加する。一方、負荷が減少すると、 $I_{desired}$  は減少し、制限電流  $I_{upper}$  と  $I_{lower}$  が減少する。加えて、負荷が実質的に一定である場合、上限電流  $I_{upper}$  と下限電流  $I_{lower}$  間のバンド幅  $\Delta I_o$  は、スイッチング回路24のスイッチング周波数をセットする。

## 【0096】

種々の制御アルゴリズムが、所望電流と位相オフセットを達成するための非基準スレーブのスイッチング回路の制御に対して可能である。図14および図15を参照すると、デジタル制御アルゴリズム64の一つの実施では、非基準スレーブは、電流制限の一つ、および基準スレーブにおけるトランジスタの一つのスイッチング時間に基づいて制御される。要約すると、非基準スレーブのスイッチングは2つのイベント：スレーブに対する推定電流が流制限の一つを通過するとき、および基準スレーブが他の電流制限によるスイッチングを行う時に開始する位相オフセットタイマーの終了時によって、誘引される。

## 【0097】

特に、非基準スレーブの推定電流  $I_{estimate}$  が（基準スレーブのための式12で計算した）上限電流  $I_{upper}$  を超える場合、非基準スレーブはそのNMOS導通状態を開始し、すなわちPMOSトランジスタ30が開かれ、NMOSトランジスタ32が閉じられる。デジタル制御アルゴリズムは、一つ以上の位相オフセットタイマーを含むことができる。位相オフセットタイマーは、非基準スレーブのPMOS導通状態の誘引に用いられる。特に、基準スレーブがそのPMOS導通状態を開始する時、タイマーは開始される。各クロックサイクルで、タイマーは各非基準スレーブの所望位相オフセット  $\Phi(i)$  と比較される。特定の非基準スレーブと関連付けられるオフセット時間  $\Phi(i)$  が終了した場合、非基準スレーブはPMOS導通状態を開始し、すなわち、NMOSトランジスタ32が開かれ、PMOSトランジスタ30が閉じられる。従って、位相オフセット  $\Phi(i)$  は、NMOS導通状態の開始における基準スレーブと非基準スレーブ間の遅延を決定する。もちろん、誘引の仕組みは、非基準スレーブが下限電流  $I_{lower}$  を下回って降下する時に誘引されるPMOS導通状態と、基準スレーブがそのNMOS導通状態を開始する時に作動するタイマーでは、反転可能である。

## 【0098】

図16と図17を参照すると、デジタル制御アルゴリズム64の第2の実施では、上下の電流制限  $I_{upper}(i)$  と  $I_{lower}(i)$  は、各非基準スレーブのために計算される。上下の電流制限は、非基準スレーブ16の平均電流が所望電流  $I$

desiredに等しくなるように選択される。各スレーブは自らの電流制限を持つので、各スレーブのバンド幅 $\Delta I_i$ はそのスレーブのスイッチング周波数を制御する。特に、スイッチング周期 $T$ は以下の式から計算できる：

【0099】

【式15】

$$T = \Delta I_i \cdot \left( \frac{L}{V_{in} - V_{out}} - \frac{L}{V_{out}} \right) \quad (15)$$

【0100】

基準スレーブと非基準スレーブ間の位相差を調整するために、非基準スレーブのバンド幅 $\Delta I_i$ は、そのスイッチング周波数を変更するために調整される。これは、非基準スレーブを基準スレーブに対して遅くしたり速くしたりすることによって、PMOSおよびNMOS導通状態間の時間差を変更する。一旦、所望位相差が達成されると、非基準スレーブのバンド幅が再度調整されて、それにより2つのスレーブのスイッチング周波数が一致する。非基準スレーブのバンド幅を調整するために、デジタル制御アルゴリズム64は、2つのスレーブのNMOSおよびPMOS導通状態の開始の実際の時間遅延 $T_n$ および $T_p$ を測定する。次いで、バンド幅 $\Delta I_i$ は、所望のおよび実際の時間遅延の間の誤差または差に比例するフィードバック項を加えた所望バンド幅に等しくなるようセットされる。例えば、バンド幅 $\Delta I_i$ は、次のように計算される：

【0101】

【式16】

$$\Delta I_i = \Delta I_0 + K_1[\Phi(i) - T_n] + K_2[\Phi(i) - T_p] \quad (16)$$

【0102】

ここで、 $K_1$ と $K_2$ はフィードバック誤差定数、 $\Delta I_0$ は式13で計算される所望バンド幅である。次いで、上限電流 $I_{upper}(i)$ と下限電流 $I_{lower}(i)$ は、次のように計算される：

【0103】

## 【式17】

$$I_{upper}(i) = I_{desired}(i) + \frac{1}{2}\Delta I_i \quad I_{lower}(i) = I_{desired}(i) - \frac{1}{2}\Delta I_i \quad (17)$$

## 【0104】

上限電流  $I_{upper}(i)$  と下限電流  $I_{lower}(i)$  を用いて、非基準スレーブの第1と第2のトランジスタ30、32のトリガーをかける。特に、推定電流  $I_{estimate}(i)$  が上限電流  $I_{upper}(i)$  を超える場合、PMOSトランジスタ30は開き、NMOSトランジスタ32は閉じる。一方、推定電流  $I_{estimate}(i)$  が下限電流  $I_{lower}(i)$  を下回る場合、NMOSトランジスタ32は開き、PMOSトランジスタ30は閉じる。その結果、推定電流  $I_{estimate}(i)$  が正確にスレーブ電流  $I_{slave}(i)$  を表すとすれば、スレーブ電流  $I_{slave}(i)$  は、上限  $I_{upper}(i)$  と下限  $I_{lower}(i)$  の間で振動する。従って、スレーブを流れる平均電流は  $I_{desired}(i)$  にほぼ等しく、スイッチングレギュレータを流れる全電流はほぼ所望全電流  $I_{total}$  に等しくなる。スレーブからの平均全出力電流が負荷に一致するように、上下の電流制限がセットされる。

## 【0105】

図18ないし図23を参照すると、第3の実施では、デジタル制御アルゴリズム64は、各非基準スレーブ16のための「ゴースト」電流を計算する。ゴースト電流  $I_{ghost}(i)$  はそのスレーブを流れる所望電流を表し、電流制限および所望の位相オフセットが与えられる。各非基準スレーブは、非基準スレーブのための推定電流  $I_{estimate}(i)$  をゴースト電流  $I_{ghost}(i)$  と比較することにより制御される。

## 【0106】

ゴースト電流は、推定電流の計算と同様の方式で計算される。すなわち、ゴーストPMOS導通状態の間、ゴースト電流  $I_{ghost}(i)$  (図22の実線84で示す) がクロックサイクル毎に一定勾配の上昇値  $\Delta I_{up-ghost}$  分だけ増加され、そしてゴーストNMOS導通の間、ゴースト電流  $I_{ghost}(i)$  がクロックサイクル毎に一定勾配の下降値  $I_{down-ghost}$  分だけ減少される。しかし、ゴースト電流  $I_{ghost}(i)$  が上限電流  $I_{upper}$  を超える場合、ゴースト電流は上限電流  $I_{up}$



perに等しくセットされる。同様に、ゴースト電流  $I_{ghost}(i)$  が下限電流  $I_{lower}$  を下回る場合、ゴースト電流は上限電流  $I_{upper}$  に等しくセットされる。

#### 【0107】

ゴースト導通状態は、基準スレーブおよび所望位相オフセットのスイッチングによってトリガーがかけられる（図20および21を参照）。特に、ゴーストは、基準スレーブがPMOS導通状態にスイッチングした後、所望位相オフセット  $\Phi(i)$  でゴーストPMOS導通状態にスイッチングする。同様に、ゴーストは、基準スレーブがNMOS導通状態にスイッチングした後で、所望位相オフセット  $\Phi(i)$  でゴーストNMOS導通状態にスイッチングする。

#### 【0108】

上記のように、非基準スレーブのスイッチングは、非基準スレーブのための推定電流  $I_{estimate}(i)$ （図23の実線86で示す）を、非基準スレーブのためのゴースト電流  $I_{ghost}(i)$ （図23内に示された破線84）と比較することにより制御される。特に、非基準スレーブがPMOS導通状態にあり、ゴーストがNMOS導通状態にあり、そして推定電流  $I_{estimate}(i)$  がゴースト電流  $I_{ghost}(i)$  を超える場合、スレーブはNMOS導通状態にスイッチングする。同様に、非基準スレーブがNMOS導通状態にあり、ゴーストがPMOS導通状態にあり、そして推定電流  $I_{estimate}(i)$  がゴースト電流  $I_{ghost}(i)$  を下回る場合、スレーブはPMOS導通状態にスイッチングする。換言すると、スレーブが推定電流をスイッチングする場合、ゴースト電流を横切り、2つの電流は逆の傾斜を持つ。このように、スレーブは、ゴースト電流を効率よく追跡するためにスイッチングされる。加えて、ゴーストがPMOS導通状態にある場合、非基準スレーブは、推定電流  $I_{estimate}(i)$  が、電流オフセット  $I_{over}$  によってゴースト電流  $I_{ghost}(i)$  を超えればNMOS導通状態にスイッチングする。そして、ゴーストがNMOS導通状態にある場合、非基準スレーブは、推定電流  $I_{estimate}(i)$  が、電流オフセット  $I_{under}$  によってゴースト電流  $I_{ghost}(i)$  を下回ればPMOS導通状態にスイッチングする。これにより、ゴースト電流が急に変化する場合でも、電流スレーブはゴースト電流を確実に追跡できる。

#### 【0109】

図24ないし図27を参照すると、第4の実施では、デジタル制御アルゴリズム64は、基準スレーブと非基準スレーブの両方について「ゴースト」電流を計算し、基準スレーブと非基準スレーブはともに、推定電流  $I_{estimate}(i)$  をゴースト電流  $I_{ghost}(i)$  と比較することにより制御される。

#### 【0110】

図25を参照すると、デジタル制御アルゴリズム64は、所望スイッチング周波数にほぼ等しい、例えば1MHzのスイッチング周波数、および所望デューティサイクルにほぼ等しい、例えば  $V_{out}/V_{in}$  のデューティサイクル  $D_s$  を持つクロック信号90を発生する。デューティサイクルは、 $V_{in}$  と  $V_{nom}$  の公称値に基づいて固定されてもよい。クロック信号90を用いて、各ゴーストのゴースト導通状態を制御する。特に、クロック信号は、所望位相オフセット  $\phi(i)$  によってオフセットされる各クロック信号を用いて、各アクティブスレーブ用に発生されることができる。ゴーストは、スレーブに関連付けられるクロック信号90がハイの場合、ゴーストPMOS導通状態内にあり、そしてゴーストは、スレーブに関連付けられるクロック信号90がローの場合、ゴーストNMOS導通状態内にある。例えば、3つのスレーブがアクティブである場合、第3のゴーストは、第2のゴースト後のスイッチング周期の  $1/3$  後で、そして第1のゴースト後のスイッチング周期の  $2/3$  後にスイッチングする。基準スレーブがPMOS導通状態にスイッチングした後の所望位相オフセット  $\phi(i)$  で、

図25と図26に最もよく示されるように、ゴースト電流は、さもないければ、第3の実施および図18を参照して検討したゴースト電流の計算と同様の方法で計算される。すなわち、ゴーストPMOS導通状態の間、ゴースト電流  $I_{ghost}(i)$  (図26に実線92で示す) は、各クロックサイクルで一定勾配の上昇値  $\Delta I_{up-ghost}$  分だけ増加され、ゴーストNMOS導通状態の間、ゴースト電流  $I_{ghost}(i)$  は、各クロックサイクルで一定勾配の下降値  $\Delta I_{down-ghost}$  分だけ減少される。しかし、ゴースト電流  $I_{ghost}(i)$  が上限電流  $I_{upper}$  を超える場合、ゴースト電流は上限電流  $I_{upper}$  に等しくセットされる。同様に、ゴースト電流  $I_{ghost}(i)$  が下限電流  $I_{lower}$  を下回る場合、ゴースト電流は上限電流  $I_{lower}$  に等しくセットされる。

## 【0111】

図24と図27を参照すると、上記のように、非基準スレーブのスイッチングは、非基準スレーブのための推定電流  $I_{estimate}(i)$  (実線94で示す) を、非基準スレーブについてのゴースト電流  $I_{ghost}(i)$  (点ライン92で示す) と比較することにより制御される。特に、非基準スレーブがPMOS導通状態にあり、ゴーストがNMOS導通状態にあり、そして推定電流  $I_{estimate}(i)$  がゴースト電流  $I_{ghost}(i)$  を超える場合、スレーブはNMOS導通状態にスイッチングする。同様に、非基準スレーブがNMOS導通状態にあり、ゴーストがPMOS導通状態にあり、そして推定電流  $I_{estimate}(i)$  がゴースト電流  $I_{ghost}(i)$  を下回る場合、スレーブはPMOS導通状態にスイッチングする。換言すると、スレーブが推定電流をスイッチングする場合、ゴースト電流を横切り、2つの電流は逆の傾斜を持つ。このように、スレーブはスイッチングされてゴースト電流を効率よく追跡する。

## 【0112】

加えて、非基準スレーブは、推定電流  $I_{estimate}(i)$  が上限電流  $I_{upper}$  を超える場合、NMOS導通状態にスイッチングするか、あるいは、推定電流  $I_{estimate}(i)$  が下限電流  $I_{lower}$  を下回る場合、PMOS導通状態にスイッチングする。効率を低下させる過度のスイッチングを抑制するために、ゴーストの一定勾配の上昇値  $\Delta I_{up-ghost}$  と一定勾配の下降値  $\Delta I_{down-ghost}$  は、推定電流のための一定勾配の上昇値  $\Delta I_{up}$  および一定勾配の下降値  $\Delta I_{down}$  未満に、例えば約20～25%までに、人工的にセットされてもよい。あるいは、ゴースト電流は予め設定されたいくつかのマージンによって、上下の電流制限  $I_{upper}$  と  $I_{lower}$  を超え、または下回ることが許容され得る。

## 【図面の簡単な説明】

## 【図1】

本発明に従うスイッチングレギュレータのブロック図である。

## 【図1A】

本発明に従うスイッチングレギュレータの別の実施のブロック図である。

## 【図2】

図1のスイッチングレギュレータの電流センサのブロック図である。

【図3】

図1のスイッチングレギュレータのコントローラのブロック図である。

【図3A】

図1Aのスイッチングレギュレータのコントローラのブロック図である。

【図4】

図3のコントローラによって実行される方法を示すフローチャートである。

【図5】

推定電流をスレーブを流れる実際の電流と比較するタイミング図である。

【図6】

推定電流の補正を説明するタイミング図である。

【図7】

図6A～図6Dの推定電流の補正と関連する電流センサからの出力信号を説明するタイミング図である。

【図8】

所望の電圧をスイッチングレギュレータの実際の出力電圧と比較するタイミング図である。

【図9】

所望の電流の決定に用いる簡略化したブロック図である。

【図10】

図4の方法からのスイッチング回路を制御するステップを示すフローチャートである。

【図11】

図1のスイッチングレギュレータの基準スレーブを制御する方法を説明するフローチャートである。

【図12】

図11の方法から生じる基準スレーブを流れる電流を説明するタイミング図である。

【図13】

図11の基準スレーブへの制御信号を説明するタイミング図である。

【図13A】

図1Aのスイッチングレギュレータからの基準スレーブへの制御信号を説明するタイミング図である。

【図14】

スレーブの位相関係を制御する方法を説明するフローチャートであり、図において、一つのトランジスタが、基準スレーブのスイッチングに続いてプリセット時間でスイッチングされ、そして他のトランジスタが推定電流と電流限界との比較に基づいてスイッチングされる。

【図15】

図14の方法から生じる基準スレーブと非基準スレーブを流れる電流を説明するタイミング図である。

【図16】

スレーブの位相関係を制御する方法を説明するフローチャートであり、その方法で非基準スレーブの電流限界が調整される。

【図17】

図16の方法から生じる基準スレーブと非基準スレーブを流れる電流を説明するタイミング図である。

【図18】

非基準スレーブのためにゴースト電流を生成する方法を説明するフローチャートである。

【図19】

スレーブの位相関係を制御する方法を説明するフローチャートであり、その方法で推定スレーブ電流がゴースト電流と比較される。

【図20】

図18と図19の方法を実行しているときに、基準スレーブを流れる電流を説明するタイミング図である。

【図21】

図20で示す基準スレーブ電流から生じる一つの非基準スレーブのためのゴースト電流を説明するタイミング図である。

スト導通状態を説明するタイミング図である。

【図22】

図18で示す方法から生じるゴースト電流、および図21で示すゴースト導通状態を説明するタイミング図である。

【図23】

図19で示す方法から生じる基準スレーブ性能、および図22で示すゴースト電流を説明するタイミング図である。

【図24】

スレーブの位相関係を制御する方法を説明するフローチャートであり、その方法で、ゴースト電流が基準スレーブと非基準スレーブについて生成され、推定スレーブ電流がスレーブを制御するゴースト電流と比較される。

【図25】

クロック信号から生じる非基準スレーブの一つについてのゴースト導通状態を説明するタイミング図である。

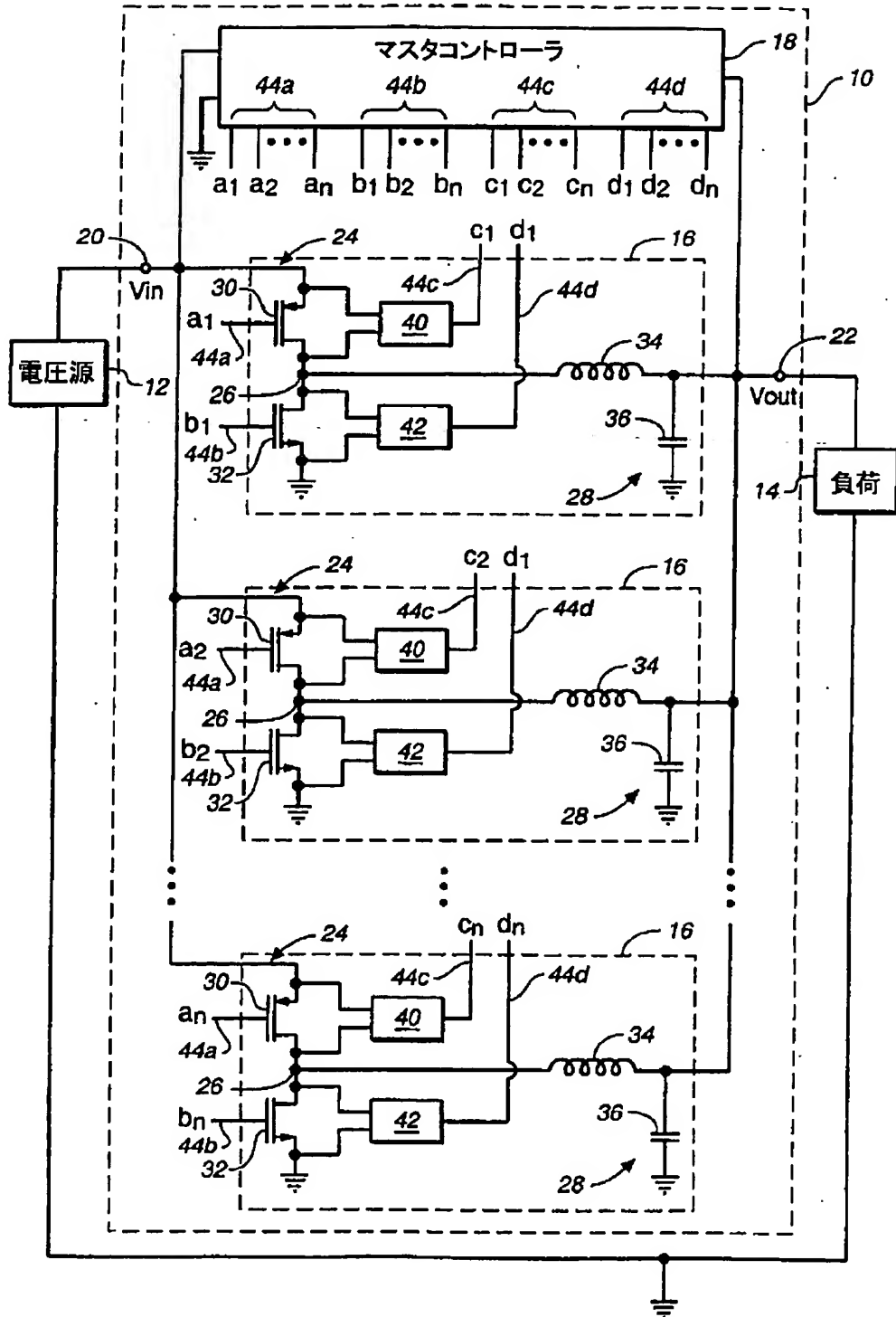
【図26】

図18で示す方法から生じるゴースト電流、および図25で示すゴースト導通状態を説明するタイミング図である。

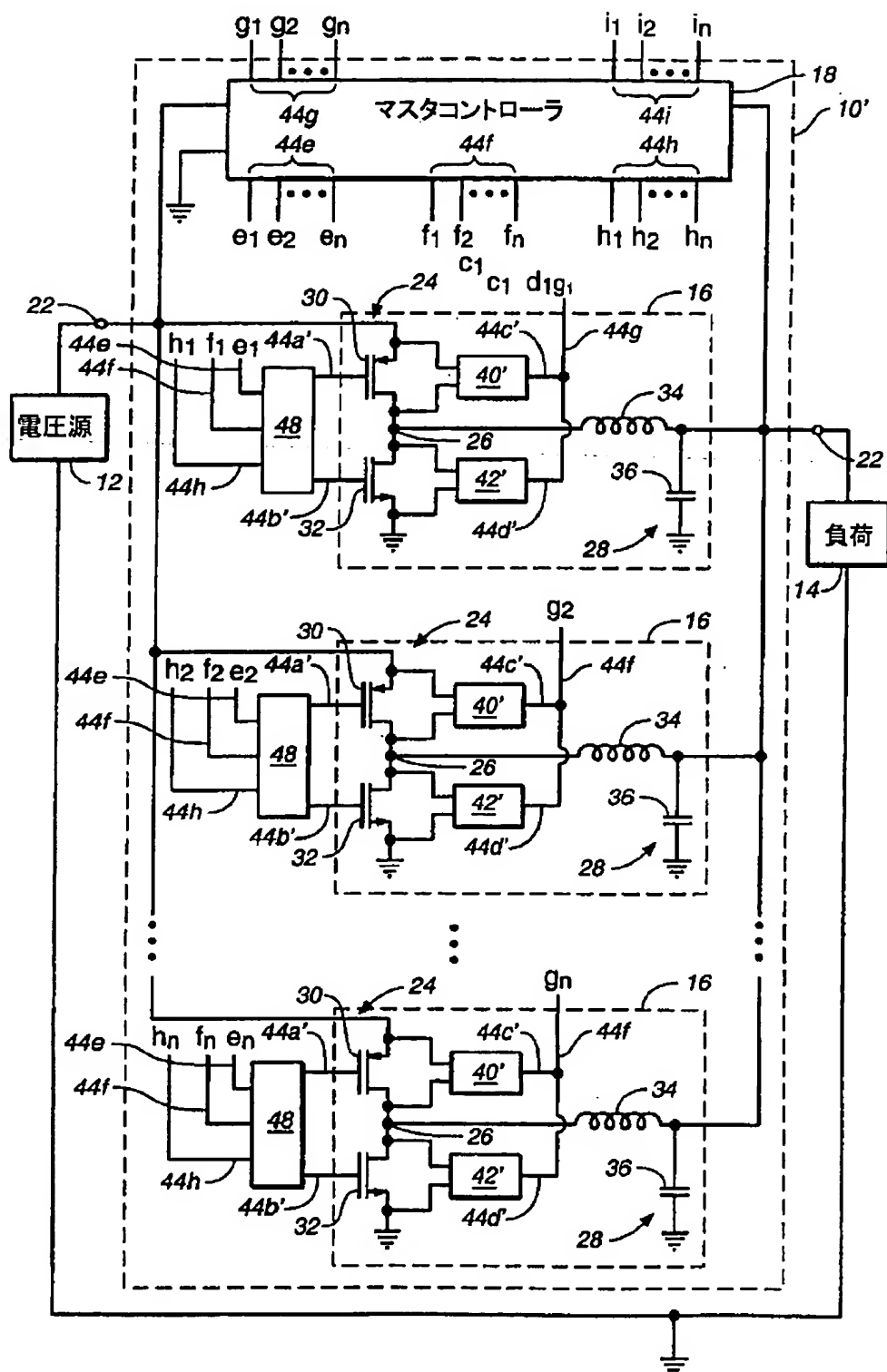
【図27】

図24で示す方法から生じるスレーブ性能、および図26で示すゴースト電流を説明するタイミング図である。

【図1】



【図1A】





【図2】

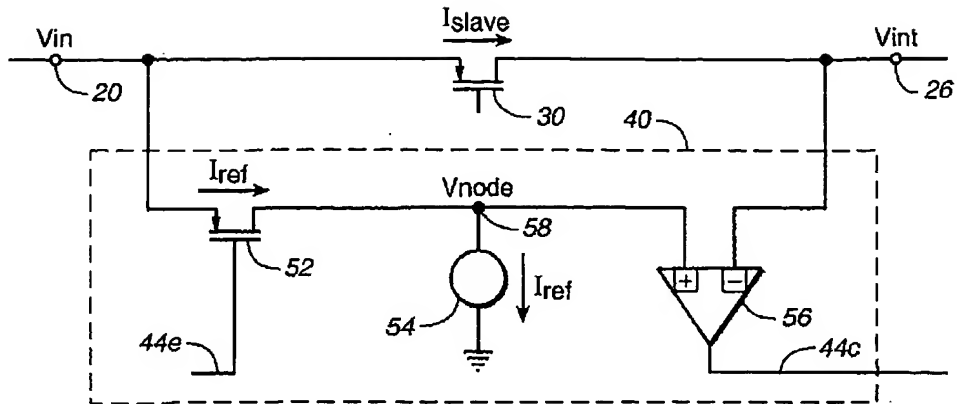
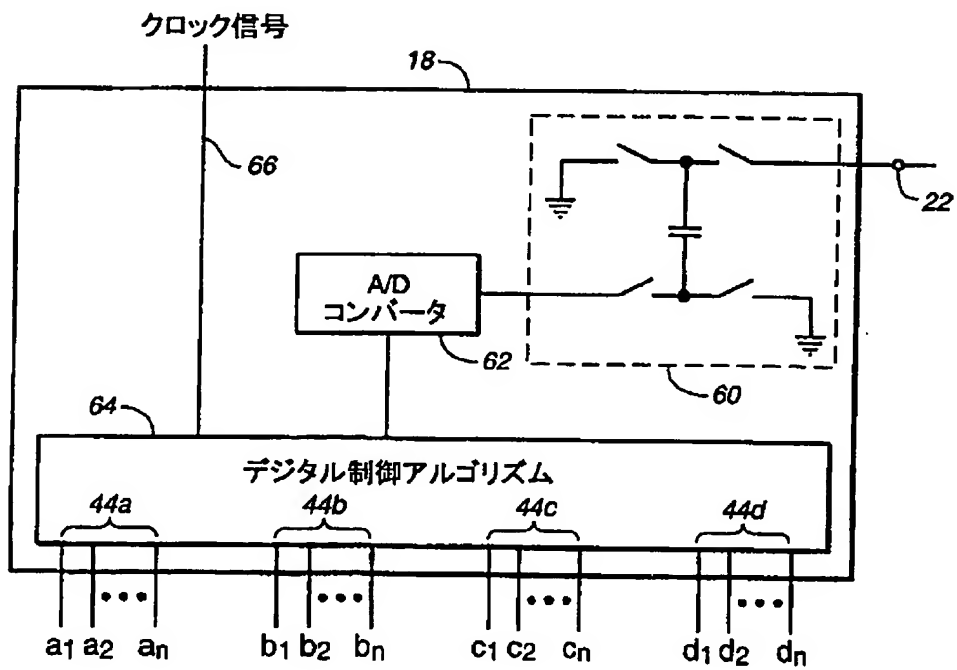


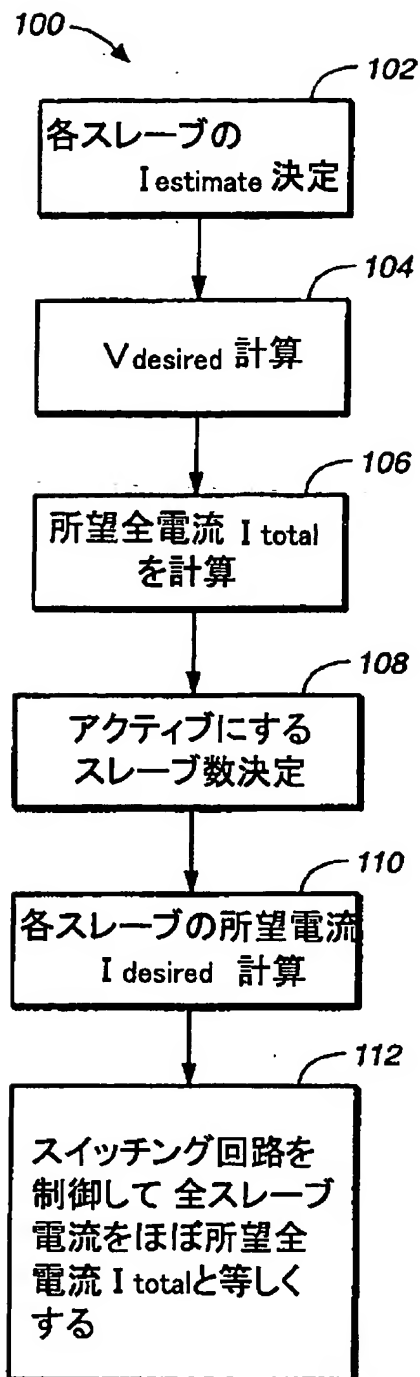
FIG. 2

【図3】

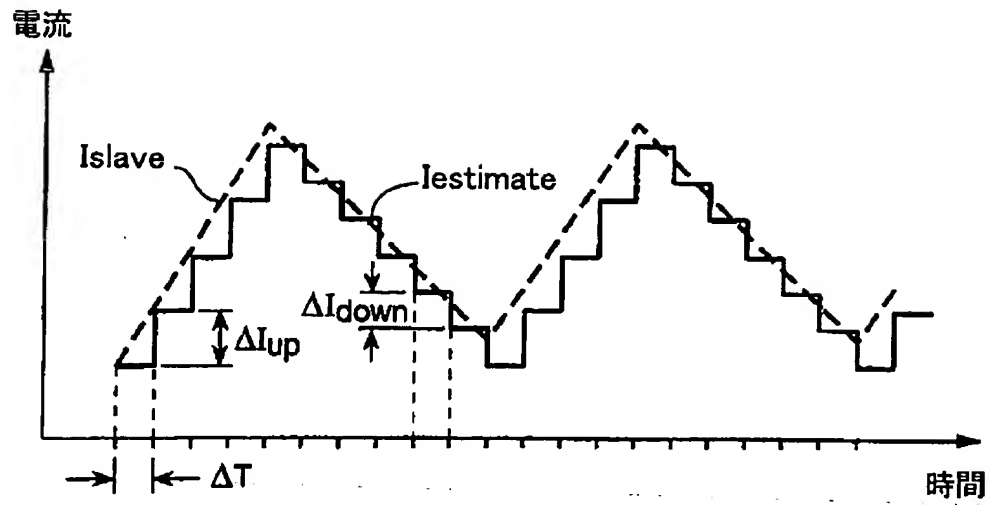




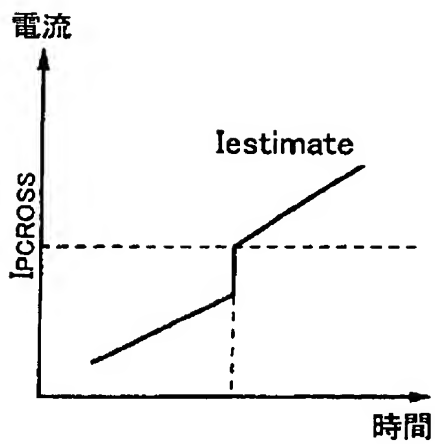
【図4】



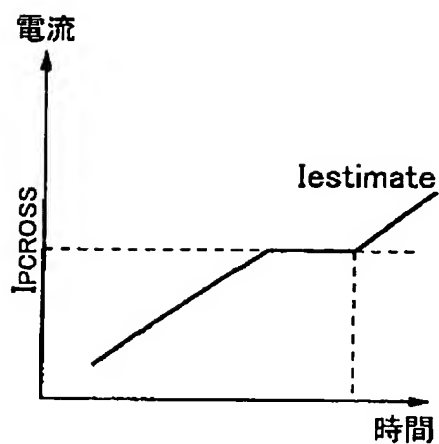
【図5】



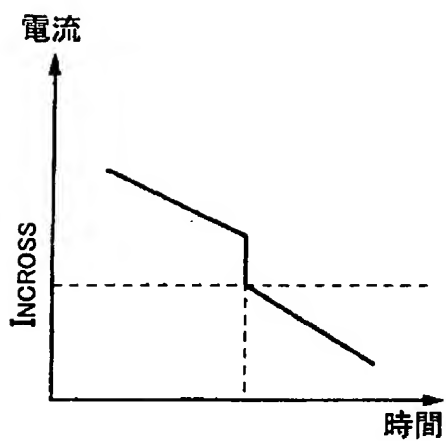
【圖6】



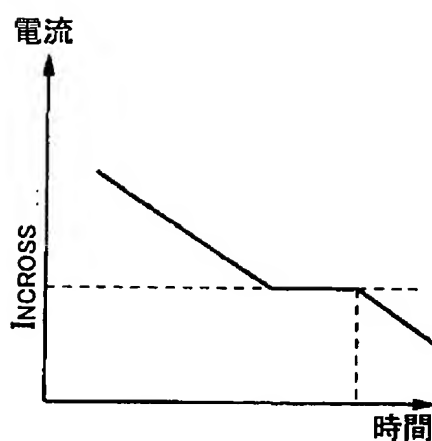
(A)



(B)

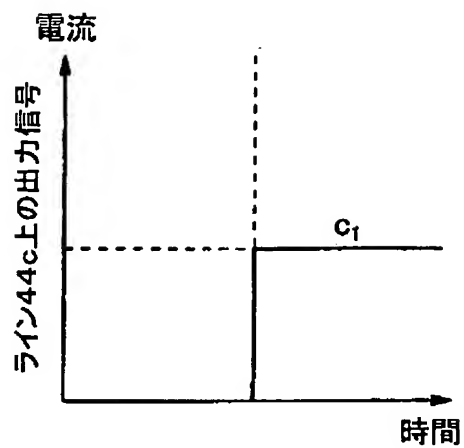


(C)

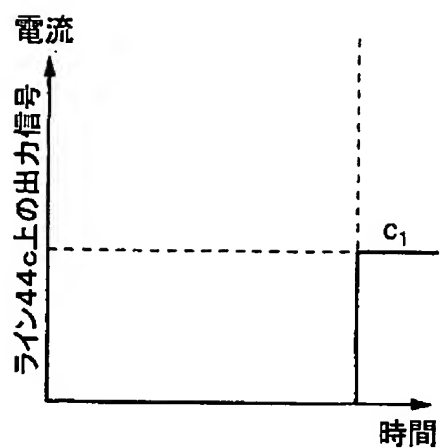


(D)

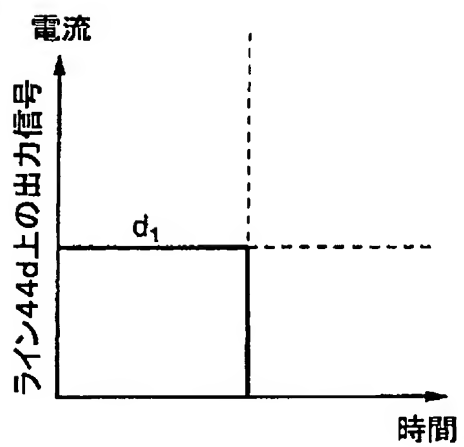
【図7】



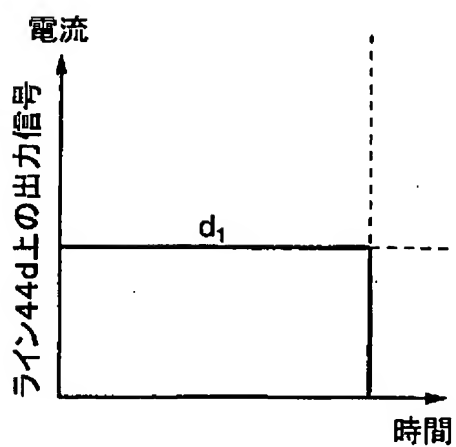
(A)



(B)

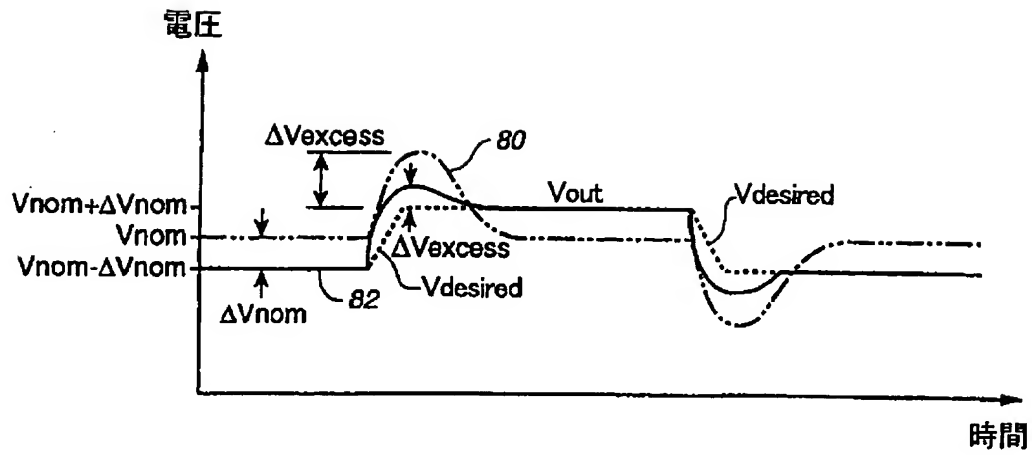


(C)

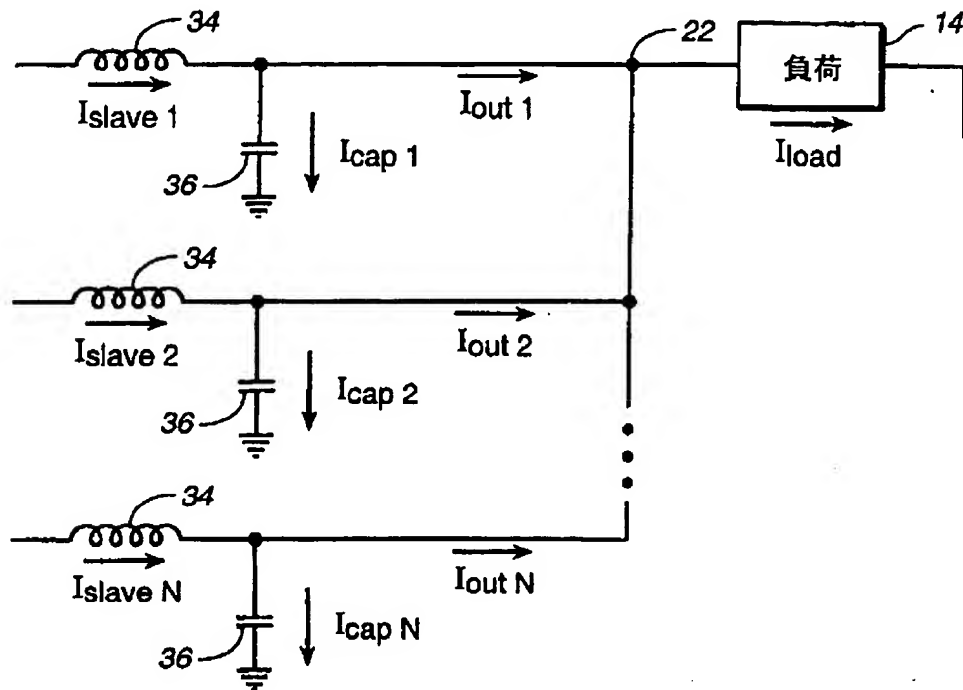


(D)

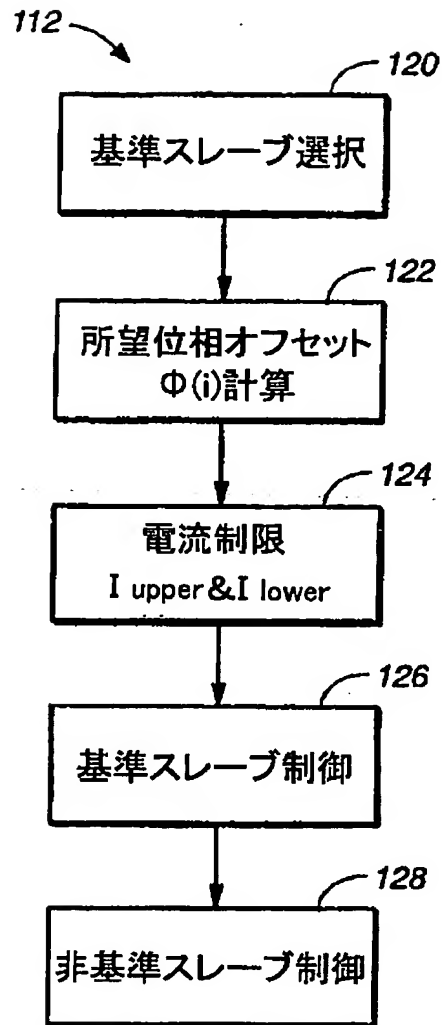
【図8】



【図9】

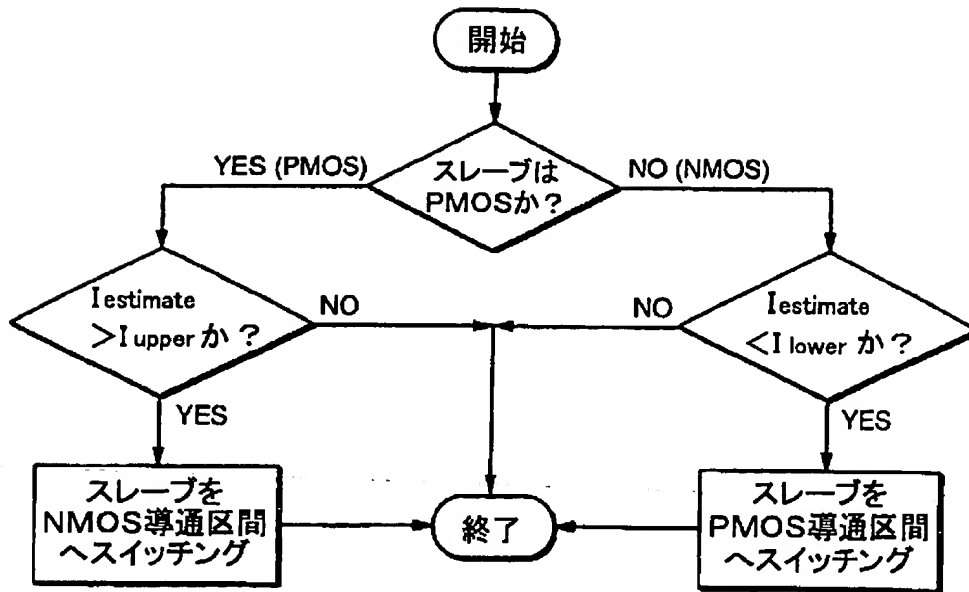


【図10】

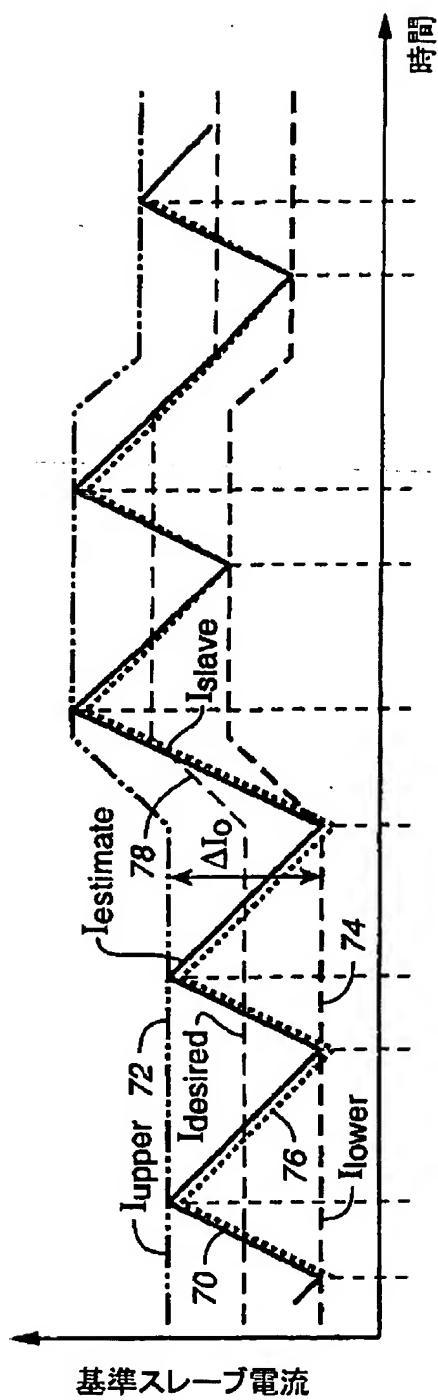




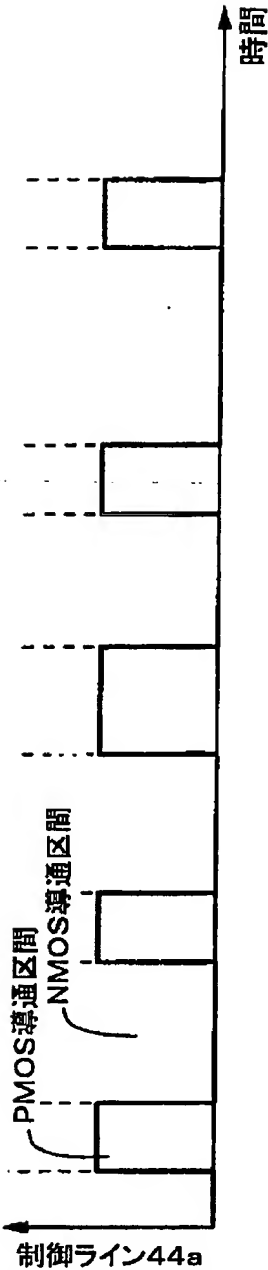
【図11】



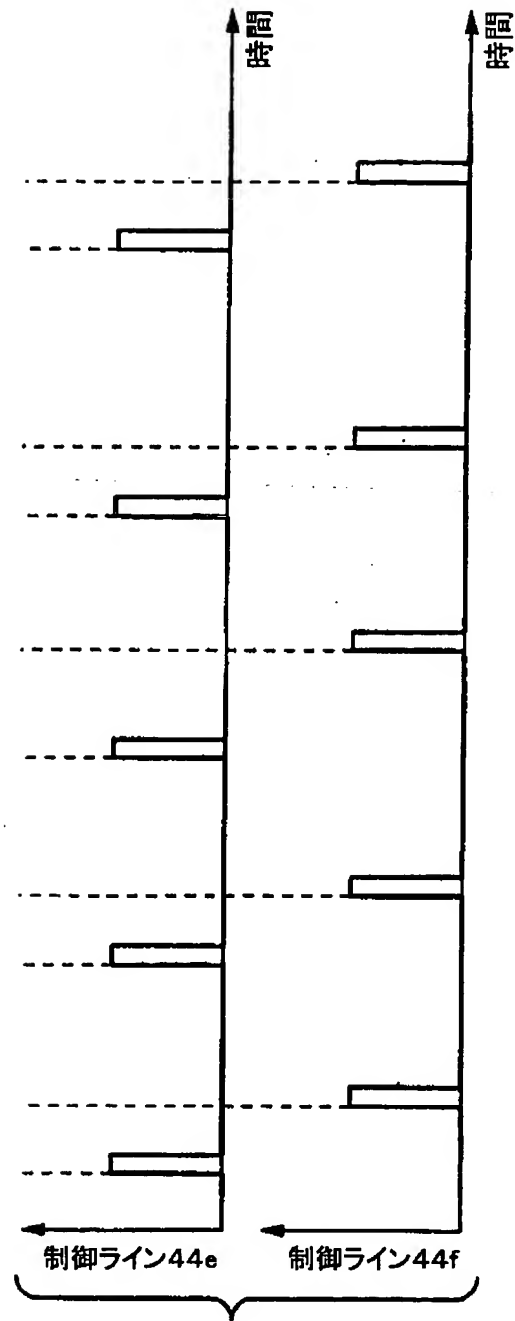
【図12】



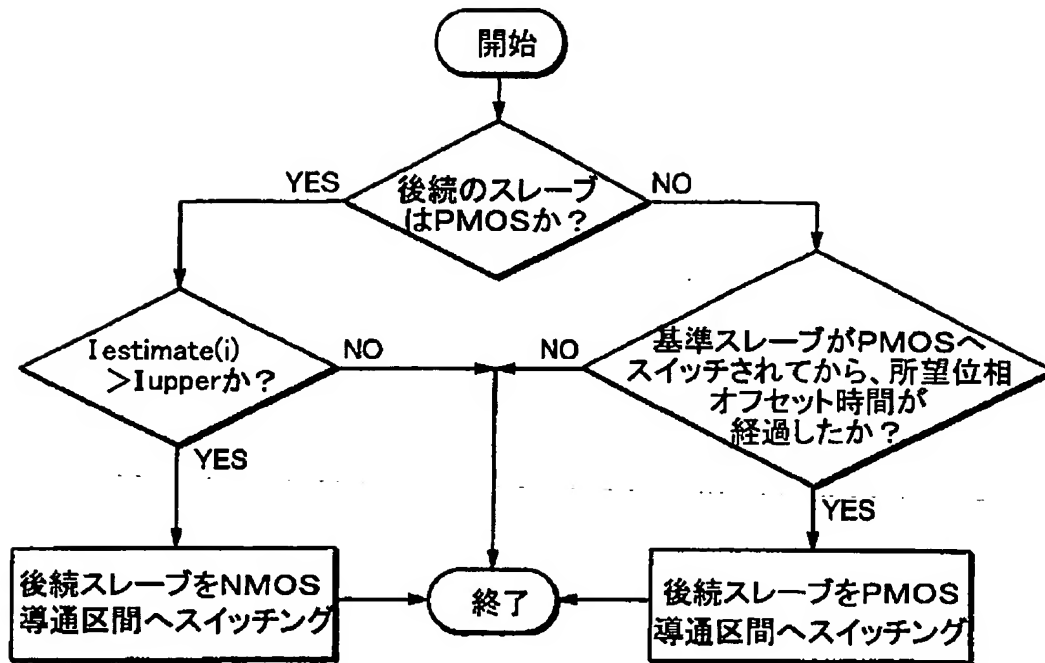
【図13】



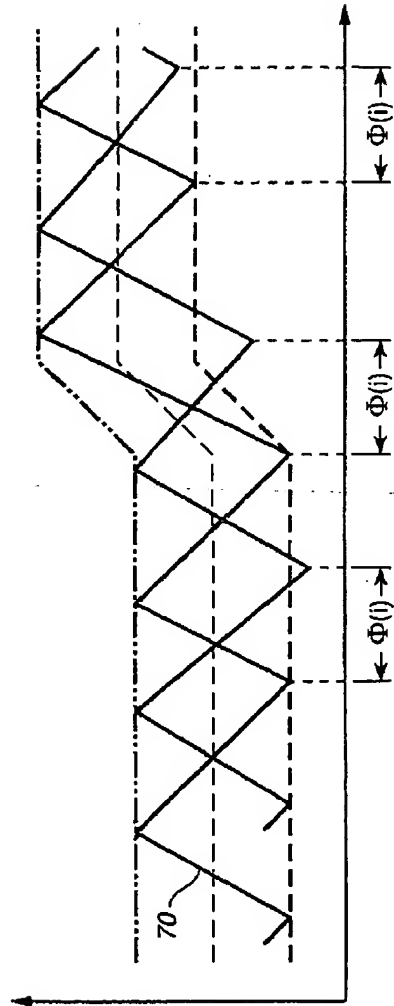
【図13A】



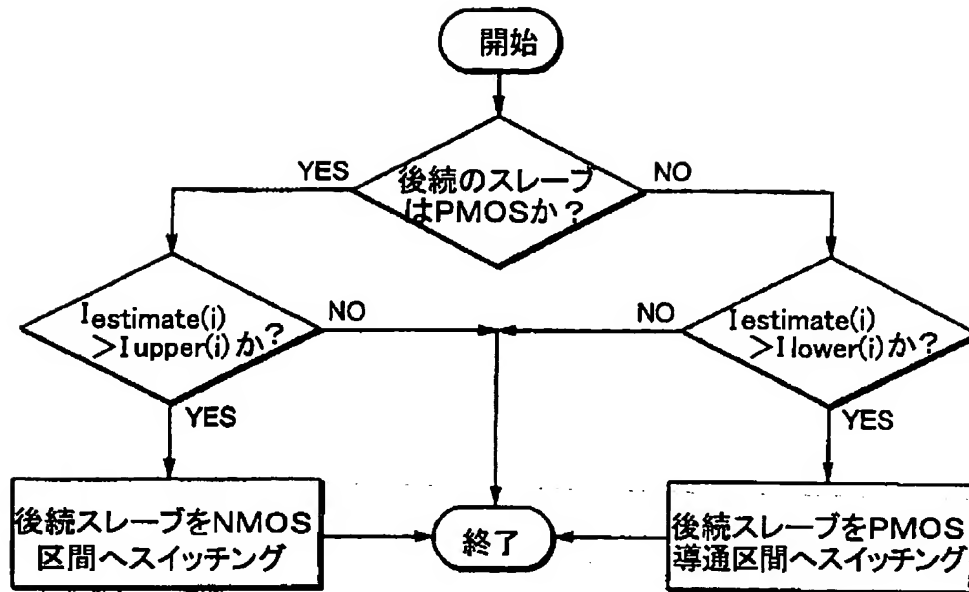
【図14】



【図15】



【図16】



【図17】

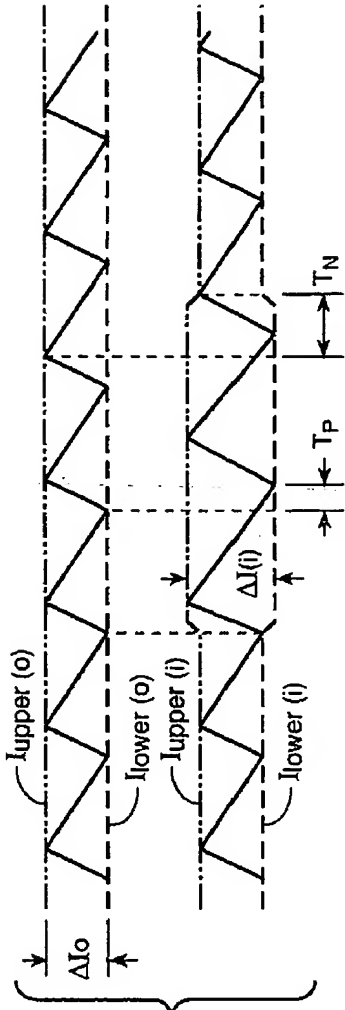
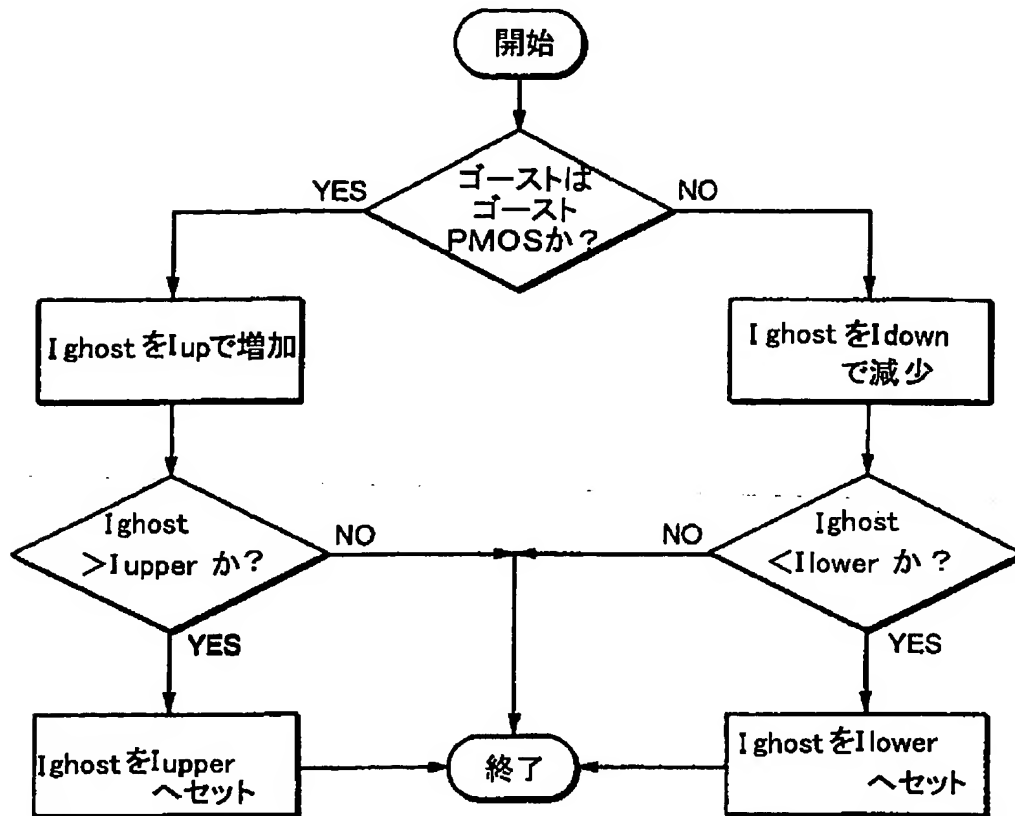


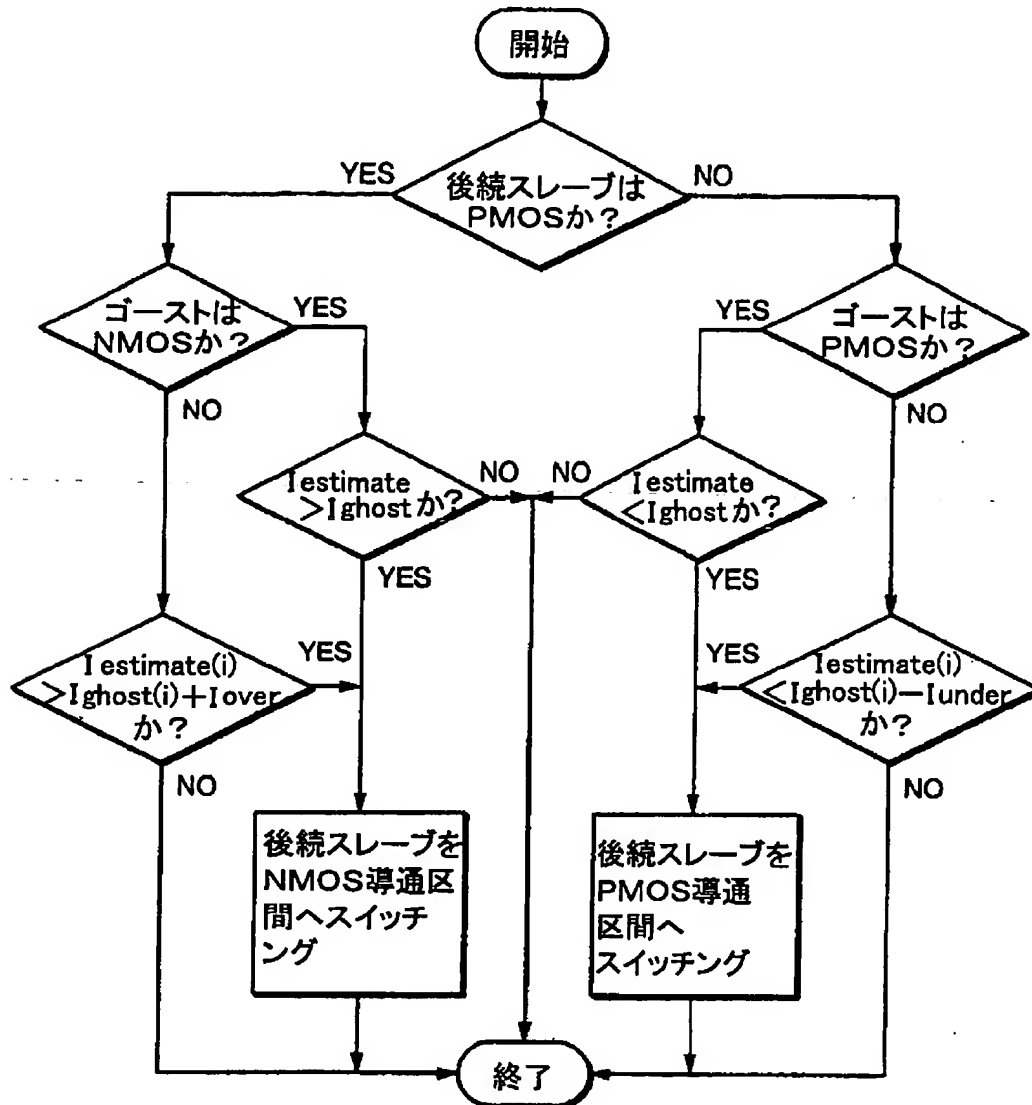
FIG. 17



【図18】



【図19】



【図20】

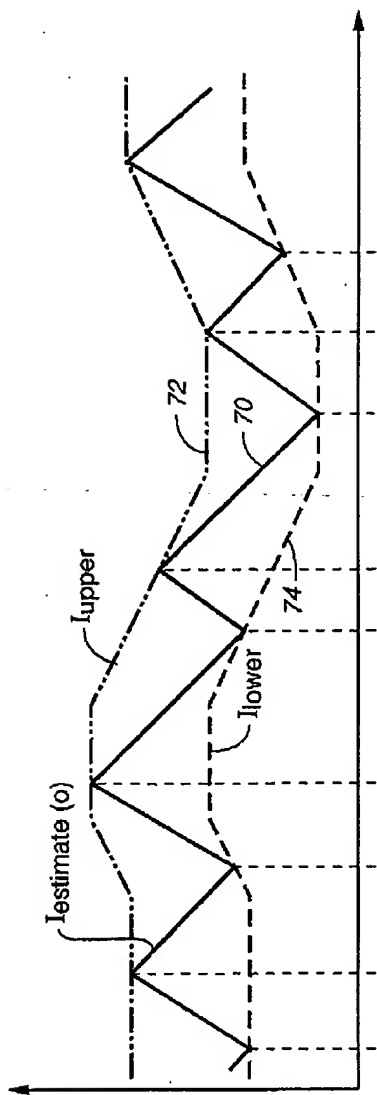


FIG. 20

【図 2 1】

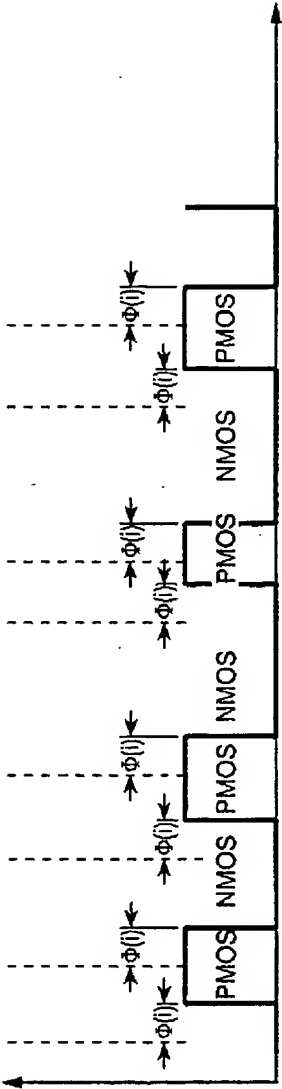


FIG.--21

【図 22】

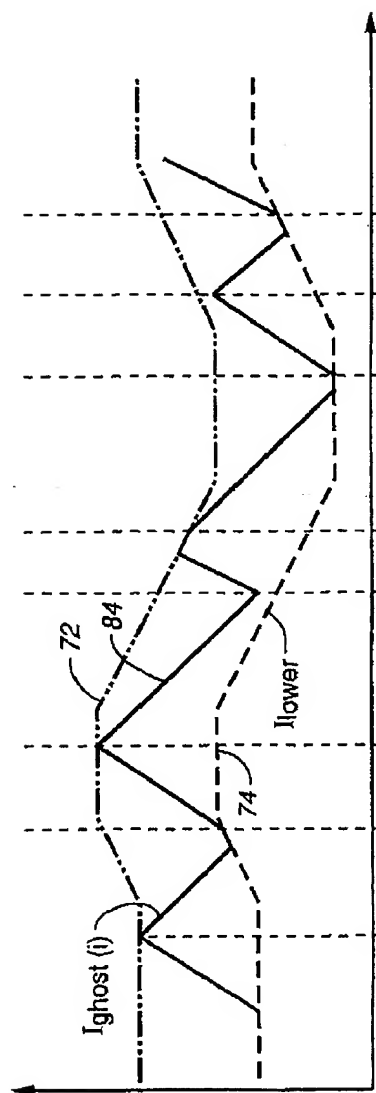
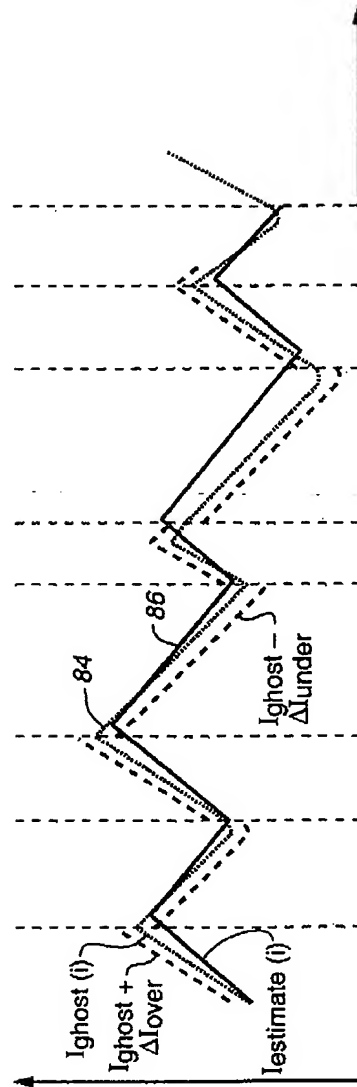


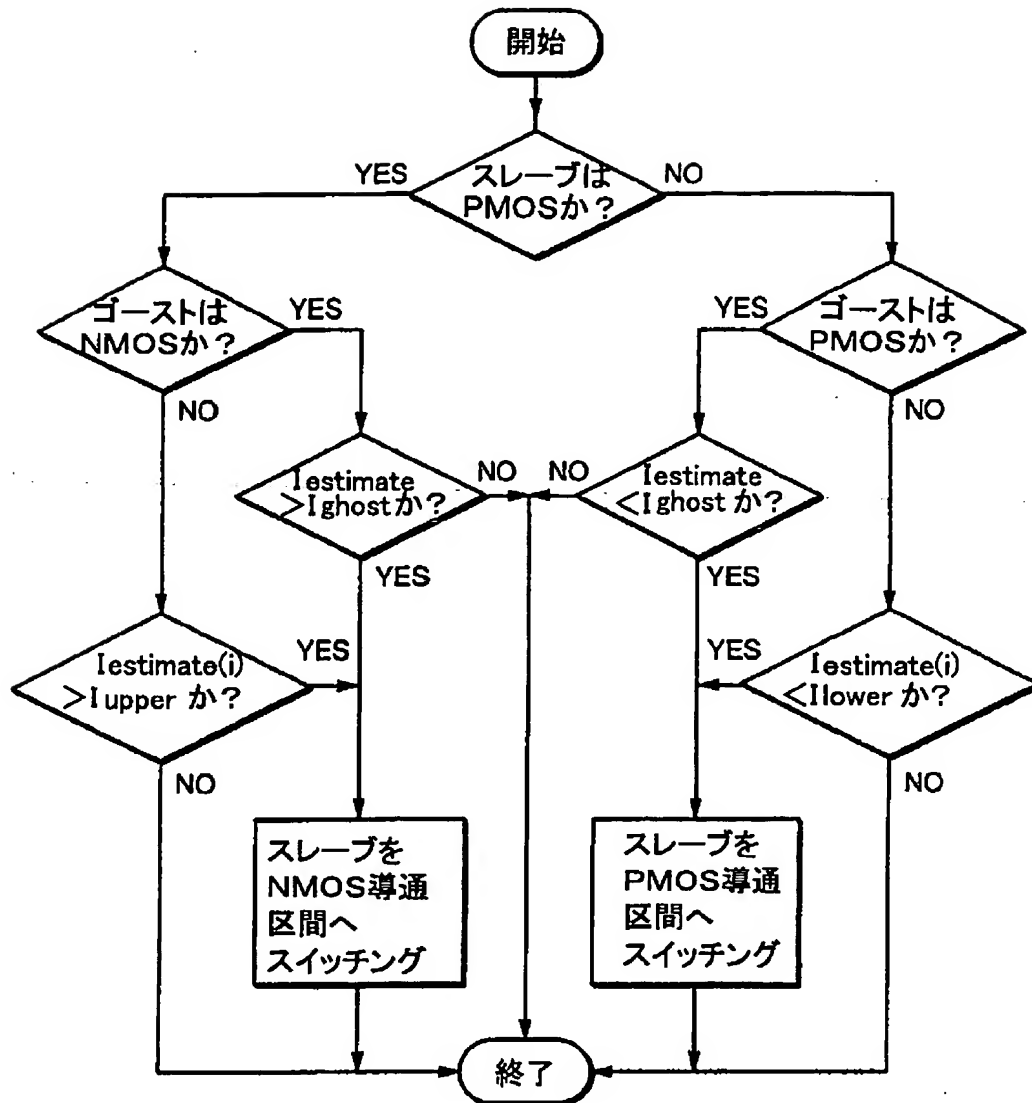
FIG. 22

【図 23】

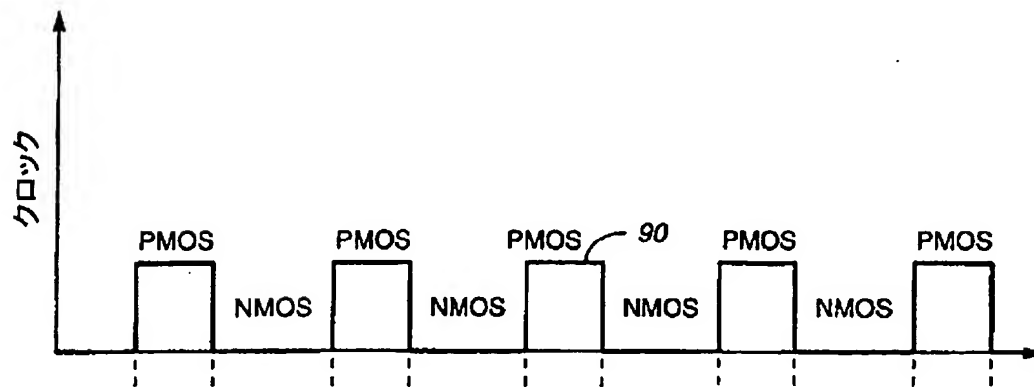


**FIG. 23**

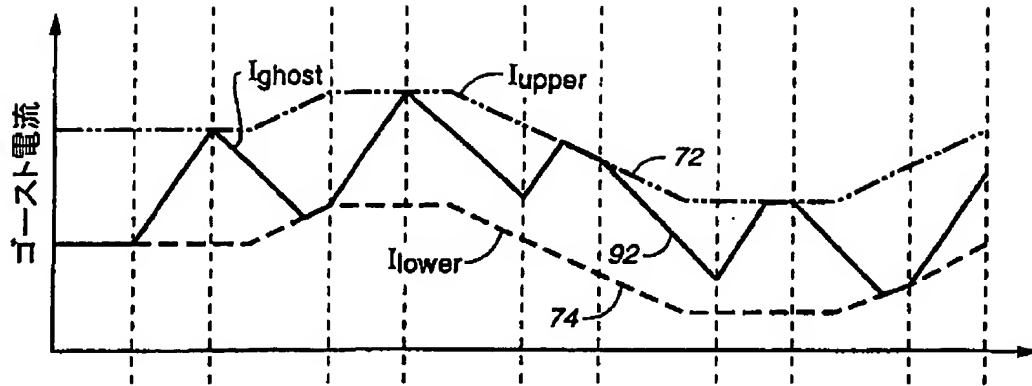
【図24】



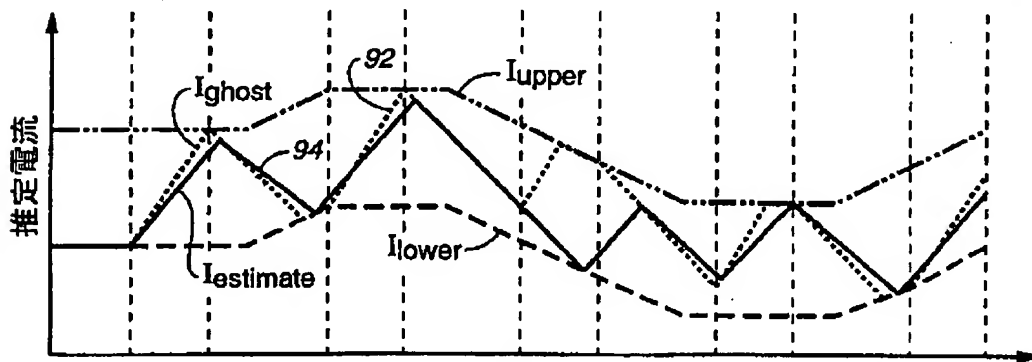
【図25】



【図26】



【図27】





## 【国際調査報告】

## INTERNATIONAL SEARCH REPORT

International application No.  
PCT/US99/25720

<b>A. CLASSIFICATION OF SUBJECT MATTER</b> IPC(6) : G05F 1/50, 3/335 US CL : 323/222, 266, 273, 275, 282 According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) U.S. : 323/222, 266, 273, 275, 282 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched none Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) none		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 3,978,393 A (WISNER et al) 31 August 1976 (31.08.76), Fig.5	1-122
A	US 4,034,232 A (LAVENTURE) 05 July 1977 (05.07.77), Fig.1 and 2	1-122
A	US 4,716,267 A (REYNOLDS) 29 December 11087 (29.12.87), Figs. 1 and 3C	1-122
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is considered to be of particular relevance "C" earlier document published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to show the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "A" document member of the same patent family		
Date of the actual completion of the international search 27 JANUARY 2000		Date of mailing of the international search report 14 February 2000 (14.02.00)
Name and mailing address of the ISA/US Commissioner of Patents and Trademarks Box PCT Washington, D.C. 20231 Facsimile No. (703) 305-3230		Authorized officer MATTHEW V. NGUYEN Telephone No. (703) 308-0956

## フロントページの続き

- (31)優先権主張番号 09/183,326  
 (32)優先日 平成10年10月30日(1998. 10. 30)  
 (33)優先権主張国 米国(US)
- (31)優先権主張番号 09/183,337  
 (32)優先日 平成10年10月30日(1998. 10. 30)  
 (33)優先権主張国 米国(US)
- (81)指定国 EP(AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG), AP(GH, GM, KE, LS, MW, SD, SL, SZ, TZ, UG, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), AE, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, CA, CH, CN, CR, CU, CZ, DE, DK, DM, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, UZ, VN, YU, ZA, ZW
- (72)発明者 シュルツ, アーロン, エム.  
 アメリカ合衆国, カリフォルニア州,  
 サニーヴェイル, クーリッジ アヴェニ  
 ュー 896
- (72)発明者 クリステンソン, マイケル  
 アメリカ合衆国, カリフォルニア州,  
 バークレイ, マーティン ルーサー キ  
 ング ジュニア ウェイ 1429エー
- (72)発明者 リドスキー, デイヴィッド, ビー.  
 アメリカ合衆国, カリフォルニア州,  
 オークランド, コルトン ブルヴァード  
 5739
- (72)発明者 ストラタコス, アンソニー  
 アメリカ合衆国, カリフォルニア州,  
 フレモント, レッド ホーク ランチ  
 39241 ビー201
- (72)発明者 サリバン, チャーリー  
 アメリカ合衆国, ニューハンプシャー  
 州, ハノヴァー, サウス パーク ス  
 トリート 7
- (72)発明者 クラーク, ウィリアム  
 アメリカ合衆国, カリフォルニア州,  
 フレモント, テラス ドライヴ 35624

F ターム(参考) 5H730 BB11 BB82 DD04 DD34 FD31  
FF09 FG05 FG11 FG22

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## CLAIMS

[Claim(s)]

[Claim 1] It is the approach of operating the voltage regulator which has two or more switching circuits which make the input terminal connected to the source of input voltage, the output terminal connected to a load, and said input terminal said output terminal, and make cutoff as connection by turns. : a It is a count \*\*\*\*\* step about each presumed current showing the presumed current for each switching circuit, i.e., the current which flows the inductor relevant to said switching circuit.;

b) step; which calculates all the desired output currents that flow said inductor which maintains the output voltage in said output terminal uniformly substantially -- and -- c -- the approach of containing step; which controls said switching circuit based on said presumed current and said all desired output currents so that all the currents that flow said inductor may become almost equal to said all desired output currents.

[Claim 2] The approach of claim 1 that a step (a) thru/or (c) are repeated.

[Claim 3] The approach of claim 1 that a step (a) thru/or (c) are repeated by quick clock frequency  $f_{clock}$  more remarkable than the request switching frequency  $f_{switch}$  of said switching circuit.

[Claim 4] The approach containing the step which judges the capacitive current on which the step which calculates said all desired output currents flows from the step which judges said all currents that flow said switching circuit, the capacitor connected to said output terminal, or there of claim 1.

[Claim 5] The approach containing the step to which the step which judges said switching circuit to be said all flowing currents totals said presumed current over each inductor of claim 4.

[Claim 6] The approach containing the step to which the step which judges said capacitive current measures the fluctuation in said output voltage of claim 4.

[Claim 7] said capacitive current is calculated from the following formulas -- having --  $ICAP = C \cdot \Delta V_{out} / \Delta T$  -- the approach of claim 6 that it is here and said fluctuation in the full capacity of said capacitor by which C is connected to said output terminal, and said output voltage covering the whole clock cycle in  $\Delta V_{out}$ , and T are said periods of said clock cycle.

[Claim 8] The approach of claim 4 that the step which calculates said all desired output currents contains further the step which determines the adjustment current for amending the error of said output voltage.

[Claim 9] The approach of claim 8 that said adjustment current is proportional to the difference of said output voltage and request electrical potential difference.

[Claim 10] The approach of claim 9 which is made to increase said request electrical potential difference when said current is higher than predetermined current level, and contains further the step which decreases said request electrical potential difference when said current is said under predetermined current level.

[Claim 11] The approach of claim 1 which contains further the step which judges many active switching circuits.

[Claim 12] The approach of claim 11 that said number of active switching circuits is proportional to said all request currents mostly.

[Claim 13] The approach of claim 12 based on the number with a new old number and said all request currents of an active switching circuit of an active slave.

[Claim 14] The approach of claim 12 that said decision of said number of active slaves includes the hysteresis effectiveness of avoiding too much modification of said number of active switching circuits.

[Claim 15] The step which calculates each desired output current of each switching circuit is included further, and it is the approach of claim 11 that said sum total of each desired output current of said is equal to all before desired output currents.

[Claim 16] The approach of claim 15 that said each request current of said active switching circuit is almost equal to said all request currents divided by said number of active switching circuits.

[Claim 17] The approach of claim 15 that said each request current for said inactive slave is zero mostly.

[Claim 18] The approach of claim 1 that count of said request all currents contains the step which determines the request electrical potential difference which is in the electrical-potential-difference tolerance of nominal voltage.

[Claim 19] The decision of said request electrical potential difference is the approach containing the step which sets said request electrical potential difference above said nominal voltage when said current is close to maximum current, and the step which sets said request electrical potential difference under to said nominal voltage when said current is close to zero of claim 18.

[Claim 20] The step which determines said request electrical potential difference is the approach containing the step which adjusts said request electrical potential difference by the term proportional to said difference of said front request electrical potential difference from a clock cycle and said current potential of claim 18.

[Claim 21] Said request electrical potential difference  $V_{desired}$  about a clock cycle  $n+1$  [ $n+1$ ] is determined by the

$$V_{desired[n+1]} = c_1 V_{nom} + c_2 (V_{nom} - V_{desired[n]}) + (c_1 + c_2) \left( 1 - 2 \frac{I_{load}}{I_{max}} \right) \cdot \Delta V_{swing} \quad (5)$$

following formulas. :

the fluctuation in said current on which in  $V_{nom}$  nominal voltage and  $V_{desired}[n]$  flow said request electrical potential difference from said clock cycle  $n$ , and  $I_{load}$  flows said load here, said permissible current carrying capacity to which  $I_{max}$  flows said load, and the electrical potential difference on which  $\Delta V_{swing}$  is permitted by said electrical-potential-difference tolerance -- and -- The approach of claim 20 that  $c_1$  and  $c_2$  are feedback constants.

[Claim 22] It is the voltage regulator which has the output terminal connected to the input terminal connected to the source of input voltage, and a load. : Two or more switching circuits which answer a digital control signal and connect said input terminal and said output terminal intermittently;

b) Said two or more filters which provide mostly with the output voltage of DC said output terminal in which each filter contains an inductor;

c) two or more current sensor; which produces two or more feedback signals drawn from said current which flows said switching circuit -- and -- d -- the digital controller which receives and uses said two or more feedback signals -- having -- said digital controller: the current which calculates the presumed current about  $i$  each switching circuit, and flows said inductor by which said each presumed current is related with said switching circuit here -- expressing --;

ii) -- all the desired output currents that flow said inductor which maintains the output voltage in said output terminal uniformly substantially -- calculating --; -- and -- iii; which generates said digital control signal based on said presumed current and said all desired output currents so that all the currents that flow said inductor may become almost equal to said all desired output currents

Voltage regulator.

[Claim 23] It is the approach of judging all the request currents that flow the switching circuit of a voltage regulator in order to maintain the output voltage in an output terminal uniformly substantially. Said switching circuit It connects with said output terminal by which the input terminal connected with the source of input voltage is connected with a load intermittently, and said approach said voltage regulator including at least one capacitor connected to said output terminal : Step which measures the 1st output voltage in said output terminal to the 1st time amount;

Step which measures the 2nd output voltage in said output terminal to the 2nd time amount;

Step which calculates the presumed current showing said current which flows said inductor;

Step which calculates the capacitance current which expresses the current which flows from said at least one capacitor or there based on the difference of said 1st output voltage and said 2nd output voltage;

The step which calculates an amendment current based on one difference in a request electrical potential difference, and said the 1st and 2nd output voltage; it reaches. Approach containing step; which calculates all the request currents over said voltage regulator from the sum total of said presumed current and said amendment current, and a difference with said capacitance current.

[Claim 24] It is a voltage regulator with the output terminal connected to the input terminal connected to the source of input voltage, and a load. : Switching circuit which answers a digital control signal and connects said input terminal and said output terminal intermittently;

Filter in said output terminal which offers the output voltage of DC mostly;

Current sensor which generates the 1st digital feedback signal showing said current which flows said switching circuit;

The voltage sensor which generates the 2nd feedback signal showing said output voltage; it reaches. Voltage regulator

equipped with said digital controller; constituted in order to maintain substantially said output voltage of the digital controller which receives and uses said digital feedback signal which generates said digital control signal, i.e., said output terminal, on fixed level.

[Claim 25] The voltage regulator of claim 24 in which said switching circuit contains the commutator which connects said output terminal to a gland intermittently at least.

[Claim 26] It is the voltage regulator of claim 24 by which said switching circuit, a filter, and a current sensor are manufactured on 1st IC chip, and said digital controller is manufactured on 2nd another IC chip.

[Claim 27] Said digital feedback signal is a voltage regulator of claim 24 which shows whether said current exceeds a threshold level current.

[Claim 28] It is the voltage regulator of claim 27 which said current sensor generates two or more digital feedback signals, and means whether said each signal exceeded threshold level current with said another current.

[Claim 29] It is the voltage regulator of claim 27 which said current sensor generates two or more digital feedback signals, and means whether said each signal intersected threshold level current with said another current.

[Claim 30] The voltage regulator of claim 27 further equipped with the failure protection network which makes said digital control signal an invalid, and opens said switching circuit when the current which flows said switching circuit exceeds larger safety clearance than said threshold level current.

[Claim 31] Said failure protection network is a voltage regulator of claim 30 which generates the 2nd digital feedback signal received by said digital controller when said current exceeds said safety clearance.

[Claim 32] Said switching circuit is the voltage regulator containing the 2nd transistor which connects to a gland the 1st transistor which connects said output terminal to said input terminal, and said output terminal of claim 27.

[Claim 33] Said current sensor is the voltage regulator containing the 1st sensor which generates the 1st digital feedback signal on the 1st feed back line which shows the current which flows said 1st transistor, and the 2nd sensor which generates the 2nd digital feedback signal on the 2nd feed back line showing the current which flows said 2nd transistor of claim 32.

[Claim 34] Said 1st and 2nd feed back line is connected to the 3rd feed back line connected to said digital controller. Said digital controller is the voltage regulator containing the logic which judges which transistor is expressed by said signal on said 3rd feed back line of claim 33.

[Claim 35] The voltage regulator of claim 32 which receives said digital control signal and is further equipped with the interpreter installed in said slave which changes said digital control signal into the instruction which switches said the 1st and 2nd transistor.

[Claim 36] Said digital control signal generated by said digital controller The 1st control signal on the 1st control line and the 2nd control signal on the 2nd control line are included. Said interpreter The voltage regulator of claim 35 which changes into the instruction which opens said 1st transistor for said 1st control signal, and closes said 2nd transistor, and is changed into the 2nd instruction which closes said 1st transistor for said 2nd control signal, and opens said 2nd transistor.

[Claim 37] For said interpreter, said digital control signal generated by said digital controller is a voltage regulator of claim 36 which changes said the 1st and 2nd transistor into an OPEN statement for the 3rd control signal including the 3rd control signal on the 3rd control line.

[Claim 38] Said interpreter is a voltage regulator of claim 37 which changes said the 1st and 2nd transistor into an OPEN statement for the 3rd control signal when said 2nd transistor closes and said current falls under to zero.

[Claim 39] The voltage regulator of claim 24 further equipped with the condition sensor for generating the digital condition signal which shows said condition of said switching regulator received by said digital controller.

[Claim 40] Said slave is a voltage regulator of claim 24 which receives said digital control signal and contains the interpreter which changes said digital control signal into the instruction which switches said switching circuit.

[Claim 41] the voltage regulator which has the output terminal connected to the input terminal connected to the source of input voltage, and a load -- it is : a -- respectively -- with, two or more slaves including the bottom: I Switching circuit; which answers a digital control signal and connects said input terminal and said output terminal intermittently

ii) Filter which provides said output terminal with the output voltage of DC mostly;

iii) Current sensor which generates the digital feedback signal showing the current which flows said switching circuit;  
b) The voltage regulator containing said digital controller: which is the digital controller which receives and uses said digital feedback signal from said two or more slaves which generate two or more digital control signals, and is constituted so that said output voltage in said output terminal may be substantially maintained on fixed level.

[Claim 42] It is the approach of operating the voltage regulator which has the output terminal connected to the input terminal connected to the source of input voltage, and a load. : Step which answers a digital control signal and connects

said input terminal and said output terminal intermittently in a switching circuit;

Step which filters the output of said switching circuit in order to provide said output terminal with the output voltage of DC mostly;

The step which generates the digital feedback signal showing the current which flows said switching circuit which has a current sensor; it reaches. It is the approach of containing; constituted in order that said digital controller may maintain substantially said output voltage in said output terminal on fixed level by here [ the step and here ] where said digital feedback signal is received and used from said slave in a digital controller in order to generate said digital control signal.

[Claim 43] It is the voltage regulator which has the output terminal connected to the input terminal connected to the source of input voltage, and a load. : Switching circuit which answers a control signal and connects said input terminal and said output terminal intermittently;

The filter which provides said output terminal with the output voltage of DC mostly; it reaches. The digital controller which operates by quick clock frequency  $f_{clock}$  more remarkable than the request switching frequency  $f_{switch}$  of said switching circuit is included. The 1st digital feedback signal to which said digital controller is led from the output voltage in said output terminal for every clock cycle here, And the 2nd digital feedback signal drawn from the current which flows said switching circuit is received, and said control signal which controls said switching circuit so that said output voltage is substantially maintained by fixed level is generated.

[Claim 44] The voltage regulator of claim 43 further equipped with the current sensor which generates said 1st digital feedback signal.

[Claim 45] The voltage regulator of claim 44 further equipped with the voltage sensor which generates said 2nd digital feedback signal.

[Claim 46] Said voltage sensor is the voltage regulator containing an A/D converter of claim 45.

[Claim 47] Said voltage sensor is a voltage regulator of claim 46 which includes an electrical-potential-difference sampling circuit further.

[Claim 48] It is the voltage regulator of claim 45 by which said digital controller and voltage sensor are manufactured on 1st IC chip with which the 2nd differs by manufacturing said switching circuit, a filter, and a current sensor on 1st IC chip.

[Claim 49] It is the voltage regulator of claim 45 by which said switching circuit, a filter, and a current sensor are manufactured on 1st IC chip, and said voltage sensor is manufactured on 2nd IC chip, and said digital controller is assembled on 3rd IC chip.

[Claim 50] Said 1st digital feedback signal is the voltage regulator showing said difference of said output voltage and nominal voltage of claim 43.

[Claim 51] Said 1st digital feedback signal is the voltage regulator showing said difference of said output voltage in a current clock cycle, and the output voltage in a front clock cycle of claim 43.

[Claim 52] Said digital controller is a voltage regulator of claim 43 which receives the 3rd digital feedback signal drawn from the output voltage in said output terminal for every clock cycle.

[Claim 53] Said 1st digital feedback signal is the voltage regulator of claim 52 with said 3rd digital feedback signal it is equal to said difference of said output voltage and nominal voltage, and equal to said difference in said output voltage in a current clock cycle, and the output voltage in a front clock cycle.

[Claim 54] Said 1st digital feedback signal is a voltage regulator of claim 43 which is said output voltage.

[Claim 55] Said digital controller is the voltage regulator containing the A/D converter for changing into a digital signal said charge held by said sampling circuit of claim 43 further including the sampling circuit where a digital controller is connected to said output terminal, and said controller catches the difference of said output voltage and reference voltage.

[Claim 56] Said reference voltage is a voltage regulator of claim 32 grounded.

[Claim 57] Said reference voltage is a voltage regulator of claim 32 which is nominal voltage.

[Claim 58] Said reference voltage is a voltage regulator of claim 32 which is the output voltage from a front clock cycle.

[Claim 59] a control signal [ as opposed to reception and its switching circuit for the 2nd / here as opposed to / have further two or more switching circuits for connecting said input terminal and said output terminal intermittently, and / the whole clock cycle / each switching circuit in said digital controller / digital feedback signal ] -- generating -- said every -- the voltage regulator of claim 43 to which the 2nd digital feedback signal is led from the current which flows a related switching circuit.

[Claim 60] It is the approach of operating the voltage regulator which has the output terminal connected to the input

terminal connected to the source of input voltage, and a load. : Step which answers a control signal and connects intermittently said input terminal and said output terminal in a switching circuit;  
Step to which the output of said switching circuit is applied for a filter in order to provide said output terminal with the output voltage of DC mostly;  
Step which operates a digital controller by quick clock frequency  $f_{clock}$  more remarkable than the request switching frequency  $f_{switch}$  of said switching circuit;  
Step which receives the 1st digital feedback signal drawn from the output voltage in said output terminal for every clock cycle in said digital controller;  
The step which receives the 2nd digital feedback signal drawn from the current which flows said switching circuit for every clock cycle in said digital controller; it reaches. Approach containing the step which generates said control signal with said digital controller in order to control said switching circuit so that said output voltage is substantially maintained by fixed level.

[Claim 61] It is the approach of operating the voltage regulator which has the switching circuit which connects to a middle terminal the input terminal connected to the source of input voltage, the output terminal connected to a load, and said input terminal, and the filter which has the inductor which generates DC electrical potential difference substantially in said output terminal. : Step which memorizes the early presumed current showing said current which flows said inductor;  
Step which adjusts said early presumed current based on said condition of said switching circuit so that a new presumed current may be generated;  
The step which determines all the desired output currents that flow said inductor which maintains the output voltage in said output terminal uniformly substantially; it reaches. How to contain the step which controls said switching circuit based on said presumed current and said all desired output currents so that all the currents that flow said inductor may become almost equal to said all desired output currents.

[Claim 62] Said switching circuit is the approach of; claim 61 containing the 1st transistor which connects said input terminal to said middle terminal intermittently, and the 2nd transistor which connects said middle terminal to a gland intermittently.

[Claim 63] The approach of claim 62 that said adjustment step contains the step which adds increased current to said early presumed current when said 1st transistor has closed.

[Claim 64] The approach of claim 62 which contains the step to which said adjustment step subtracts a reduction current from said early presumed current when said said 2nd transistor has closed.

[Claim 65] The approach of claim 61 that said switching circuit contains the 1st transistor which connects said input terminal to said middle terminal intermittently, and the diode which connects said middle terminal to a gland intermittently.

[Claim 66] Said step to memorize and step to adjust are the approach of claim 61 generated in a clock frequency.

[Claim 67] Said clock frequency is the quick approach of claim 66 more remarkable than the request switching frequency of said switching circuit.

[Claim 68] Said step to adjust is the approach of claim 66 which adds increased current to said early presumed current when said middle terminal is connected to said input terminal, and subtracts a reduction current from said early presumed current when said middle terminal is connected to a gland.

[Claim 69] Said increased current is the input voltage in said input terminal, the output voltage in said output terminal, the inductance of the inductor arranged between said switching circuits and said output terminals, and said approach of claim 68 by which clock frequency machine \*\*\*\*\* selection is made.

[Claim 70] For said input voltage and  $V_{out}$ ,  $V_{in}$  is the approach of claim 69 that said increased current is calculated from  $(V_{in}-V_{out})/L \times f_{clock}$ , said output voltage and  $L$  express said inductance, and  $f_{clock}$  expresses said clock frequency here.

[Claim 71] Said reduction current is the approach of claim 68 chosen based on the output voltage in said output terminal, the inductance of the inductor arranged between said middle terminals and said output terminals, and said clock frequency.

[Claim 72] said reduction current is calculated by  $V_{out}/L \times f_{clock}$  -- having -- here --  $V_{out}$  -- said output voltage and  $L$  -- said inductance -- and -- The approach of claim 71 that  $f_{clock}$  expresses said clock frequency.

[Claim 73] Said increment and a reduction current are the approach of claim 68 based on nominal value.

[Claim 74] Said increment and a reduction current are the approach of claim 68 adjusted dynamically.

[Claim 75] The approach of claim 61 further equipped with the step which generates the feedback signal showing said actual current which flows said switching circuit, and the step which amends said presumed current based on a feedback



signal.

[Claim 76] Said step and adjustment step to memorize are the approach of claim 75 generated on a frequency higher than said amendment step.

[Claim 77] Said step and adjustment step to memorize are the approach of claim 76 which performs by a series of clock cycles, and said amendment step generates in said some of clock cycles.

[Claim 78] said feedback -- said actual current -- a top [ current / threshold level ] -- or the approach of claim 61 which shows whether it is the following.

[Claim 79] The approach of claim 78 further equipped with the step which holds said presumed current near [ said ] a threshold level current when it is shown that said actual current is the case where addition of said increased current becomes the cause for which said presumed current exceeds said threshold level current when said middle terminal is connected to said input terminal, and said feedback signal is said under threshold level current.

[Claim 80] The approach of claim 78 further equipped with the step which holds said presumed current near [ said ] a threshold level current when subtraction of said increased current becomes the cause by which said presumed current turns into said under threshold level current when said middle terminal is connected to a gland, and when said feedback signal shows that said actual current exceeds said threshold level current.

[Claim 81] The approach of claim 78 further equipped with the step which sets said presumed current equally to said threshold level current when said feedback signal shows that said actual current exceeds said threshold level current when said switching circuit has closed, and there are few said presumed currents than said threshold level current.

[Claim 82] The approach of claim 78 further equipped with the step which sets said presumed current equally to said threshold level current when said feedback signal shows that said actual current becomes said under threshold level current when ground connection of said output terminal is carried out, and said presumed current is larger than said threshold level current.

[Claim 83] The approach of claim 68 further equipped with the step which adjusts said presumed current over the time delay generated by said switching time required for starting of the comparator in a sensor which generates said feedback signal, and said propagation time which said feedback signal needs for even the controller which controls said switching circuit from said sensor being transmitted.

[Claim 84] The approach of claim 68 based on said increment value, said clock cycle, and said switching frequency in said step to adjust.

[Claim 85] The approach of claim 68 based on said deduction, said clock cycle, and said switching frequency in said step to adjust.

[Claim 86] a switching circuit to be the approach of presuming the current which flows the inductor of a voltage regulator, and for said voltage regulator connect an output terminal to an input terminal intermittently -- containing -- said approach: step; which memorizes the early presumed current showing said current which flows said inductor -- and -- The approach containing step; which adjusts said early presumed current based on said condition of said switching circuit in order to make a new presumed current generate.

[Claim 87] The switching circuit where it is the approach of evaluating the current which flows the inductor of a voltage regulator, and said voltage regulator connects an output terminal to an input terminal intermittently is included, and it is said approach. : Step which memorizes the early presumed current showing said current which flows said inductor; The step which adds increased current to said early presumed current when said output terminal is connected to said input terminal; it reaches. How to contain step; which subtracts a reduction current from said early presumed current, when ground connection of said output terminal is carried out.

[Claim 88] It is the voltage regulator which has the output terminal connected to the input terminal connected to the source of input voltage, and a load. : Switching circuit which answers a control signal and connects said input terminal and said output terminal intermittently;

b) said filter; which is the filter which provides said output terminal with the output voltage of DC mostly, and was accomplished so that said filter might contain an inductor -- and -- c digital controller; -- containing -- said digital

controller: i -- the early presumed current showing said current which flows through said inductor -- memorizing --;

ii) It adjusts so that said early presumed current may produce a new presumed current based on said condition of said switching circuit.;

iii); Judge all the desired output currents that flow said inductor which maintains output voltage uniformly substantially, and reach. ; voltage regulator which generates said control signal based on said adjusted presumed current and said all desired output currents so that said switching circuit may be controlled in order to maintain the iv aforementioned output voltage on fixed level substantially.

[Claim 89] It is the approach of operating the voltage regulator which has at least one switching circuit which connects

intermittently the input terminal connected to the source of input voltage, the output terminal connected to a load, said input terminal, and said output terminal. : Said each presumed current is a presumed current over each of said at least one switching circuit, and a step which judges \*\* showing the current which flows the inductor of a related switching circuit here.;

Step which calculates the request total output current which flows said inductor which maintains the output voltage in said output terminal on fixed level substantially;

Said average of an upper limit current, the step which calculates a minimum current and said upper limit current, and a minimum current ; Carry out [ current / about one of said the inductors / each / desired output ], are and reach. When said presumed current is less than said minimum current about one or more of said the switching circuits, The approach containing step; which said input terminal is connected to said output terminal in said switching circuit, and connects said output terminal to said switching circuit in a gland when said presumed current exceeds said upper limit current.

[Claim 90] Said voltage regulator is the approach including two or more switching circuits of claim 89.

[Claim 91] The approach of claim 90 that it has further the step which chooses one of said two or more of the switching circuits as a reference circuit, and said remaining switching circuits are non-reference circuits.

[Claim 92] The approach of claim 91 further equipped with the step which judges the request phase offset over each \*\*\*\*\* switching circuit.

[Claim 93] It is the approach of claim 92 which said reference circuit connects said input terminal and said output terminal when said presumed current falls under to said minimum current, and connects said output terminal to a gland when said presumed current exceeds said upper limit current.

[Claim 94] The approach of claim 92 that have further the step which calculates two or more upper limit currents and two or more minimum currents, and one upper limit current and one minimum current relevant to each \*\*\*\*\* exist.

[Claim 95] Each \*\*\*\*\* is the approach of claim 94 which connects said input terminal and said output terminal when falling under to the minimum current to which a related presumed current relates, and carries out ground connection of said output terminal when exceeding the upper limit current to which said related presumed current relates.

[Claim 96] Said two or more bound currents are the approaches of claim 95 drawn from a request switching frequency and said request phase offset.

[Claim 97] The approach of claim 95 further equipped with the step which measures said actual phase offset between said reference circuits and said non-reference circuits.

[Claim 98] Said difference of said bound current is the approach of claim 95 adjusted according to said difference of said actual phase offset and said request phase offset.

[Claim 99] Each \*\*\*\*\* is the approach of claim 92 which connects said input terminal and said output terminal by said request phase offset after said reference circuit connects said input terminal and said output terminal.

[Claim 100] Each \*\*\*\*\* is the approach of claim 99 which carries out ground connection of said output terminal when said related presumed current exceeds said related upper limit current.

[Claim 101] Each \*\*\*\*\* is the approach of claim 92 which carries out ground connection of said output terminal by said request phase offset after said reference circuit carries out ground connection of said output terminal.

[Claim 102] It is the approach of claim 101 that each \*\*\*\*\* connects said input terminal and said output terminal when said related presumed current is less than said related minimum current.

[Claim 103] It is the approach of operating the voltage regulator which has at least one switching circuit which connects intermittently the input terminal connected to the source of input voltage, the output terminal connected to a load, and said input terminal and said output terminal. : The step which judges the presumed current about each of said at least one switching circuit, and said each presumed current express the current which flows the inductor relevant to each switching circuit.;

Step which calculates the request total output current which flows said inductor which maintains the output voltage in said output terminal on fixed level substantially;

Step which calculates each request current about said one or more switching circuits;

How to contain the step to which said switching circuit is made to switch so that said current which flows said switching circuit in said presumed current about said one or more switching circuits as compared with said each request current may become almost equal to said request current.

[Claim 104] The approach of claim 103 that said voltage regulator includes two or more switching circuits.

[Claim 105] The approach of claim 104 which contains further the step which judges the request phase offset over each switching circuit.

[Claim 106] The approach of claim 105 which contains further the step which judges the phantom condition about said at least one switching circuit.

[Claim 107] The approach of claim 106 which contains further the step which chooses one of said two or more of the switching circuits as a reference circuit that said remaining switching circuits are non-reference circuits.

[Claim 108] The approach of claim 107 that a phantom condition is judged for each \*\*\*\*\*.

[Claim 109] The approach of claim 107 which contains further the step which calculates the upper limit current over said reference circuit, and a minimum current.

[Claim 110] The approach of claim 109 which contains further the step which connects said output terminal to said reference circuit in a gland when the step which connects said input terminal to said reference circuit at said output terminal when said presumed current falls under to said minimum current, and said presumed current exceed said upper limit current.

[Claim 111] The phantom condition of said non-reference circuit is the approach of claim 110 drawn from said condition of said reference circuit, and said request phase offset.

[Claim 112] A request current is the approach of claim 106 calculated about each switching circuit.

[Claim 113] The approach of claim 112 that a phantom condition is judged about each switching circuit.

[Claim 114] The approach of claim 112 based on a clock signal and said request phase offset in said phantom condition of said switching circuit.

[Claim 115] The approach of claim 106 which contains the step which adjusts said early request current by memorizing an early request current based on said phantom condition about said at least one switching circuit in order that the step which judges said request current may generate a new request current.

[Claim 116] The approach of claim 115 that the step which adjusts said early request current adds increased current to said early request current when said phantom condition shows that said output terminal is connected to said input terminal, and said phantom condition contains step; which subtracts a reduction current from said early presumed current when it is shown that ground connection of said output terminal is carried out.

[Claim 117] The approach of claim 106 which contains further the step which said presumed current intersects said request current, and is made to switch to said at least one switching circuit when said condition of said reference circuit is not the same as said phantom condition.

[Claim 118] The approach of claim 117 which contains the step to which said step made to switch carries out ground connection of said output terminal when said presumed current exceeds said request current.

[Claim 119] The approach of claim 117 which contains the step to which said step made to switch connects said output terminal and said input terminal when said presumed current falls under to said request current.

[Claim 120] The approach of claim 117 which contains further the step to which said at least one switching circuit is made to carry out ground connection of said output terminal by connecting said input terminal to said output terminal in said at least one switching circuit when said presumed current falls under to said minimum current when said presumed current exceeds said upper limit current.

[Claim 121] The approach of claim 117 which contains further the step to which said at least one switching circuit is made to carry out ground connection of said output terminal by connecting said input terminal to said output terminal in said at least one switching circuit when said presumed current falls under to said request current by the 1st presetting margin when said presumed current exceeds said request current by the 2nd presetting margin.

[Claim 122] It is the approach of operating the voltage regulator which has two or more switching circuits which connect intermittently the input terminal connected to the source of input voltage, the output terminal connected to a load, and said input terminal and said output terminal. : Step which chooses one of said two or more of the switching circuits as a reference circuit;

Step which judges the request phase offset over said remaining switching circuits;

The step which judges the presumed current over each switching circuit, and each presumed current express the current which flows the inductor related with said switching circuit.;

Step which calculates the request total output current which flows said switching circuit which maintains the output voltage in said output terminal on fixed level substantially;

In order to attain substantially said request phase offset and said request total output current, said input terminal or step which carries out ground connection is included for said output terminal in said switching circuit.

---

[Translation done.]

**\* NOTICES \***

**Japan Patent Office is not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

**DETAILED DESCRIPTION****[Detailed Description of the Invention]****[0001]****[Background]**

Generally this invention relates to the control system for switching voltage regulators in more detail about a voltage regulator.

**[0002]**

Electronic system is provided with a stabilization voltage source using voltage regulators, such as a DC to DC converter. An efficient DC to DC converter is especially needed for the dc-battery management of a low power unit of a laptop type notebook, a cellular phone, etc. It is common knowledge that a switching voltage regulator (or more simply "switching regulator") is the efficient format of a DC to DC converter. A switching regulator changes DC electrical potential difference of an input into high-frequency voltage, and since DC electrical potential difference of an output is generated, it generates output voltage by filtering the high-frequency voltage. The switching regulator includes the switch which connects by turns to loads, such as an integrated circuit, and usually intercepts the input DC voltage source by which a dc-battery etc. is not constant-voltage-ized. It usually connects with an inductor between the source of input voltage, and a load including a capacitor, and an output filter filters the output of a switch, and, as a result, offers DC electrical potential difference of an output. A controller measures the electrical properties of a circuit, such as a current which flows an electrical potential difference and a load, and in order to maintain DC electrical potential difference of an output on fixed level substantially, it sets up the duty cycle of switching.

**[0003]**

The voltage regulator for microprocessors must satisfy performance requirements severer than before. One inclination is a 35-50A thing operated more by the high current. Another inclination is turning on and off the part from which a microprocessor's differs for every cycle for energy saving. This needs to need for a voltage regulator to react to a high speed very much to a load effect, for example, even the maximum load needs to change from the minimum load in several nanoseconds. Furthermore, in order to decrease the parasitic capacitance in \*\* Rhine, resistance, and/or an inductance and for it to protect current loss, another inclination is arranging a voltage regulator near the microprocessor, and can do things. However, in order to arrange a voltage regulator near the microprocessor, a voltage regulator needs to have the form factor which it is small and is easy to use.

**[0004]**

In order in addition to these special inclinations to avoid the thermal overload in a heavy load and to lengthen battery life of a pocket system, generally a well head is desirable. Another desirable features are that a voltage regulator has "standby" mode in which the power consumption in a low load is held down.

**[0005]**

The conventional controller consists of analog circuits, such as resistance, a capacitor, and an operational amplifier. Though regrettable, an analog circuit is expensive and/or difficult to manufacture as an integrated circuit. It is required for a special technique to manufacture resistance and a semiconductor device especially. Furthermore, by the noise, the engine performance falls and, as a result, an analog signal generates informational loss.

**[0006]**

There is room of amelioration in the control system for a voltage regulator and voltage regulators in view of the above.

**[0007]****[Summary of the Invention]**

Generally, according to one aspect of affairs, this invention is turned to the approach of operating a voltage regulator, and the voltage regulator has two or more switching circuits which connect by turns and intercept the input terminal

connected with the source of input voltage, the output terminal connected to a load, and an input terminal to an output terminal. The approach calculates a presumed current about each switching circuit. Each presumed current expresses the current which flows the inductor relevant to a switching circuit. The total output current of the request which flows an inductor is calculated, and the current maintains the output voltage in an output terminal uniformly substantially. A switching circuit is controlled based on a presumed current and desired total output current, and, thereby, all the currents that flow an inductor come to spread desired total output current, abbreviation, etc.

[0008]

According to another aspect of affairs, this invention is turned to the voltage regulator which has the input terminal connected with the source of input voltage, and the output terminal connected to a load. Two or more switching circuits answer a digital control signal, and connect an input terminal and an output terminal intermittently. Two or more filters with which each contains an inductor provide an output terminal with the output of DC mostly. Two or more current sensors generate the feedback signal drawn from the current which flows a switching circuit. Two or more feedback signals are received and used for a digital controller, and it calculates the presumed current for every switching circuit. Each presumed current expresses the current which flows the inductor relevant to a switching circuit. All the desired output currents that flow an inductor are calculated, and it maintains the output voltage in an output terminal uniformly substantially. A digital control signal is generated based on a presumed current and all desired output currents, and, thereby, all the currents that flow an inductor come to spread all desired output currents, abbreviation, etc. mostly.

[0009]

According to another aspect of affairs, this invention is turned to the approach of determining all the request currents that flow the switching circuit of a voltage regulator in order to maintain the output voltage in an output terminal uniformly substantially. A switching circuit is intermittently connected to the output terminal by which the input terminal connected to the source of input voltage is connected to a load. A voltage regulator contains at least one capacitor connected to an output terminal. The 1st output voltage is measured by the 1st time amount by the output terminal, and the 2nd output voltage is measured by the 2nd time amount by the output terminal. The presumed current showing the current which flows an inductor is calculated, and the capacitance current showing the current which flows from at least one capacitor or there is calculated based on the difference of the 1st output voltage and the 2nd output voltage, and an amendment current is calculated based on one difference of the 1st and 2nd output voltage in a desired electrical potential difference. All the request currents of a voltage regulator are calculated from the sum total of a presumed current and an amendment current, and a difference with a capacitance current.

[0010]

According to another aspect of affairs, this invention is turned to a voltage regulator. A regulator has the input terminal connected to the source of input voltage, and the output terminal connected to a load. A switching circuit answers a digital control signal and an input terminal and an output terminal are connected intermittently. A filter provides an output terminal with the output voltage of DC mostly. A current sensor generates the 1st digital feedback signal showing the current which flows a switching circuit. A voltage sensor generates the 2nd feedback signal showing output voltage. A digital controller receives and uses a digital feedback signal, and generates a digital control signal. A digital controller is constituted so that the output voltage in an output terminal may maintain fixed level substantially.

[0011]

According to another aspect of affairs, this invention is turned to the voltage regulator which has the input terminal connected with the source of input voltage, and the output terminal connected to a load. It has the switching circuit which a voltage regulator has two or more slaves, and each slave answers a digital control signal, and connects an input terminal and an output terminal intermittently, the filter which provides an output terminal with DC output voltage mostly, the current sensor which generates the digital feedback signal showing the current which flows a switching circuit, and the digital controller which receives and uses a digital feedback signal from two or more slaves which generate two or more digital control signals. A digital controller is constituted so that the output voltage in an output terminal may maintain fixed level substantially.

[0012]

according to another aspect of affairs, this invention boils the approach of operating a voltage regulator, and is turned, and the voltage regulator has the input terminal connected with the source of input voltage, and the output terminal connected to a load. An input terminal and an output terminal answer a digital control signal, and are intermittently connected by the switching circuit. The output of a switching circuit is filtered and provides an output terminal with the output voltage of DC mostly. It is generated so that the current which flows the switching circuit in which a digital feedback signal has a current sensor may be expressed. A digital feedback signal is received and used for a digital controller from a slave, and it generates a digital control signal. A digital controller is constituted so that the output



voltage in an output terminal may be substantially maintained on fixed level.

[0013]

According to another aspect of affairs, this invention is turned to the voltage regulator which has the input terminal connected with the source of input voltage, and the output terminal connected to a load. A switching circuit answers a control signal and connects an input terminal and an output terminal intermittently. A filter provides an output terminal with the output voltage of DC mostly. A digital controller operates by clock frequency  $f_{clock}$ , and it is more remarkably [ than the switching frequency  $f_{switch}$  for which it asks in a switching circuit ] high-speed. A digital controller receives the 1st digital feedback signal drawn from the output voltage in an output terminal, and the 2nd digital feedback signal drawn from the current which flows a switching circuit by each clock cycle, the control signal which controls a switching circuit is generated, and, thereby, output voltage is substantially maintained on fixed level.

[0014]

According to another aspect of affairs, this invention is turned to the approach of operating the voltage regulator which has the output terminal connected to the input terminal connected with the source of input voltage, and a load. An input terminal and an output terminal answer a digital control signal, and are intermittently connected by the switching circuit. The output of a switching circuit is filtered and provides an output terminal with DC output voltage mostly. A digital controller operates by clock frequency  $f_{clock}$ , and its it is remarkably more nearly high-speed than the desired switching frequency  $f_{switch}$  to a switching circuit. A digital controller receives the 1st digital feedback signal drawn from the output voltage in an output terminal, and the 2nd digital feedback signal drawn from the current which flows an inductor by each clock cycle. A control signal is generated by the digital controller, controls a switching circuit, and, thereby, maintains output voltage on fixed level substantially.

[0015]

According to another aspect of affairs, this invention is turned to the approach of presuming the current which flows the inductor of a voltage regulator, and a voltage regulator includes the switching circuit which connects an output terminal to an input terminal intermittently. An early presumed current is memorized, the current which flows an inductor is expressed, and an early presumed current is adjusted based on the condition of a switching circuit, and generates a new presumed current.

[0016]

It is turned to the approach of operating the voltage regulator which has the input terminal by which this invention should be connected with the source of input voltage, the output terminal which should be connected to a load, the switching circuit which connects an input terminal to a middle terminal, and the filter which has an inductor for generating DC electrical potential difference substantially to an output terminal according to another aspect of affairs. An early presumed current is memorized and expresses the current which flows an inductor. An early presumed current is \*\* which is adjusted based on the condition of a switching circuit and generates a new presumed current. All the desired output currents that flow an inductor are determined, and it maintains the output voltage in an output terminal uniformly substantially. A switching circuit is controlled based on a presumed current and all desired output currents, and, thereby, all the currents that flow an inductor come to spread all desired output currents, abbreviation, etc.

[0017]

According to another aspect of affairs, this invention is turned to the approach of presuming the current which flows the inductor in a voltage regulator, and a voltage regulator includes the switching circuit which connects an output terminal with an input terminal intermittently. An early presumed current expresses the current which flows an inductor. When the current which increases when the output terminal is connected to the input terminal is added to an early presumed current and the output terminal is grounded, the current which decreases is subtracted from an early presumed current.

[0018]

According to another aspect of affairs, this invention is turned to the voltage regulator which has the input terminal which should be connected with the source of input voltage, and the output terminal which should be connected to a load. A voltage regulator has the switching circuit which answers a control signal and connects an input terminal and an output terminal intermittently, a filter containing the inductor for providing an output terminal with DC output voltage mostly, and a digital controller. A digital controller memorizes the early presumed current showing the current which flows an inductor. In order to generate a new presumed current, based on the condition of a switching circuit, adjust an early presumed current, determine all the desired output currents that flow the inductor which maintains output voltage uniformly substantially, and in order to control a switching circuit The control signal based on the presumed current and all the desired output currents which were adjusted is generated, and, thereby, output voltage is substantially maintained by fixed level.

[0019]

According to another aspect of affairs, this invention is turned to the approach of operating the voltage regulator which has at least one switching circuit which connects intermittently the input terminal connected with the source of input voltage, the output terminal connected to a load, and an input terminal and an output terminal. A presumed current is calculated about each of at least one switching circuit, and each presumed current expresses the current which flows the inductor in a related switching circuit. The total output current of the request which flows the inductor which maintains the output voltage in an output terminal on fixed level substantially is calculated, and the upper limit and minimum of a current are calculated. The average of the upper limit of a current and a minimum is equal to each desired output current over one inductor. A switching circuit connects an input terminal to an output terminal, when a presumed current falls under to a minimum current to one or more switching circuits, and when a presumed current goes up exceeding an upper limit current, it connects an output terminal to a gland.

[0020]

According to another aspect of affairs, this invention is turned to the approach of operating the voltage regulator which has at least one switching circuit which connects intermittently the input terminal which should be connected with the source of input voltage, the output terminal which should be connected to a load, and an input terminal and an output terminal. A presumed current is determined for every switching circuit, and each presumed current expresses the current which flows the inductor relevant to a switching circuit. The total output current of the request which flows an inductor is calculated, and the output voltage in an output terminal is substantially maintained on fixed level. To one or more switching circuits, each request current is calculated and a desired current, abbreviation, etc. come to spread the current which flows a switching circuit by that cause by comparing a presumed current with each request current, and switching a switching circuit.

[0021]

According to another aspect of affairs, this invention is turned to the approach of operating the voltage regulator which has two or more switching circuits which connect intermittently the input terminal which should be connected with the source of input voltage, the output terminal which should be connected to a load, and an input terminal and an output terminal. One of two or more of the switching circuits is chosen as a reference circuit, and desired phase offset is determined about the remaining switching circuits. A presumed current is calculated for every switching circuit, and each presumed current expresses the current which flows the inductor relevant to a switching circuit. The total output current of the request which flows an inductor is calculated, the output voltage in an output terminal is substantially maintained on fixed level, and a switching circuit connects an output terminal to an input terminal or a gland by the approach that desired phase offset and desired total output current are attained substantially.

[0022]

The advantage of this invention may contain the following. This voltage regulator deals with the comparatively big current which reacts to a load effect quickly. A small capacitor with the form factor which is easy to use may be used for this voltage regulator. This voltage regulator may also contain two or more slaves which operate by opposition in order to decrease a ripple current. Use of an analog circuit is minimized by changing the analog measured value of a controller into a digital signal. Most is carried out using a digital circuit and a controller can be produced using a known process by the conventional complementary MOS (CMOS) production technique. This decreases the number of the components which are not contained in the chip in a controller. A controller can operate with a digital control algorithm and can be fitted to the voltage regulator for an application which amends an operational parameter and is different in that case. It can operate with a high clock frequency more remarkable than a switching frequency, and a digital control algorithm can answer a load effect quickly. A master and a slave can communicate with a digital signal and can aim at improvement in dependability of communication link + by it.

[0023]

[Detailed explanation]

A switching regulator 10 is connected to the source 12 of DC input voltage in which a dc-battery etc. is not constant-voltage-ized with an input terminal 20 with reference to drawing 1. A switching regulator 10 is connected also to the loads 14, such as an integrated circuit, by the output terminal 22. A load 14 usually has the nominal voltage  $V_{nom}$  expected and electrical-potential-difference tolerance  $\Delta V_{nom}$ . The nominal voltage  $V_{nom}$  of a microprocessor chip is usually about 1.0 to 5.0 volts, for example, about 1.2 to 1.8 volts, and electrical-potential-difference tolerance  $\Delta V_{nom}$  is usually about 80mV to the nominal voltage of  $\pm 6\%$  of the nominal voltage  $V_{nom}$ , i.e., 1.2 volts. A switching regulator 10 works as a DC to DC converter between an input terminal 20 and an output terminal 22. A switching regulator 10 contains the master controller 18 for controlling actuation of one or more slaves 16 for changing the input voltage  $V_{in}$  of an input terminal 20 into the output voltage  $V_{out}$  of the output terminal 22 in tolerance  $\Delta V_{nom}$  of nominal voltage  $V_{ndjom}$ , and a slave 16. Power is supplied to the master controller 18 by a voltage

source (it is (as it is shown in illustration)) 12, or another voltage source.

[0024]

Speaking directly, using the digital type current criteria control algorithm for the master controller 18. Based on the output voltage  $V_{out}$  from a slave, and feedback, the control algorithm of the master controller 18 judges the condition of each slave 16, in order to maintain output voltage  $V_{out}$  on fixed level, i.e., the inside of electrical-potential-difference tolerance, substantially. The master controller 18 generates the control signal of the lot which controls each slave 16, and sets it as a suitable condition. More, the master controller 18 makes the current from a switching regulator 10 at a detail certainly in agreement with the current to a load 14, and output voltage is substantially maintained on fixed level by it. For example, when a current load (or only "load") increases, the amount of the flowing current increases a slave. This carries out "going up with fixed inclination" of the current until it reaches a desired load. On the other hand, when loads decrease in number, the amount of currents which passes along an active slave decreases. This carries out "descending with fixed inclination" of the current until it reaches a desired load.

[0025]

Each slave 16 includes the switching circuit 24 which commits an input terminal 20 as a power switch which connects by turns and is intercepted in the middle terminal 26. A switching circuit 24 carries out ground connection of the middle terminal 26 also including rectifiers, such as a switch and diode. The middle terminal 26 of each slave is connected to an output terminal 22 through an output filter 28. Closing motion of a switching circuit 24 generates the intermediate voltage  $V_{int}$  which has a square wave in the middle terminal 26. An output filter 28 changes this square wave into the output voltage in an output terminal 22 which is DC substantially. Although this switching regulator is illustrated and explained below as back converter topology, this invention is applicable to other voltage regulator topology, such as for example, a boost converter and back boost converter topology, again.

[0026]

Like illustration, a switching circuit 24 and an output filter 28 consist of back converter topology. Especially the switching circuit 24 of each slave 16 includes a switch like the 1st transistor 30 which has the drain connected to the source connected to an input terminal 20, and the middle terminal 26. A switching circuit 24 contains a rectifier like the 2nd transistor 32 which has the drain connected to the source by which ground connection was carried out, and the middle terminal 26 again. The 1st transistor 30 is good at the P-channel MOS (PMOS) device, and its 2nd transistor 32 is good at the N-channel MOS (NMOS) device. As an alternative, the 2nd transistor 32 may be transposed to diode, or may be complemented with diode so that rectification may become possible. The 1st and the 2nd transistor 30 and 32 are driven according to the switching signal on control line 44a and 44b, respectively. An output filter 28 contains the inductor 34 connected between the middle terminal 26 and an output terminal 22, and the capacitor 36 by which parallel connection was carried out to the load 14. Furthermore, the capacitor 36 from each slave 16 may be complemented with one or more capacitors connected to common Rhine from an inductor 34, or may be replaced.

[0027]

When the 1st transistor 30 closes and the 2nd transistor 32 is open (PMOS switch-on), the middle terminal 26 is connected to a voltage source 12, and a voltage source 12 supplies energy to a load 14 and an inductor 34 through the 1st transistor 30. On the other hand, when the 1st transistor opens and the 2nd transistor has closed (NMOS switch-on), ground connection of the middle terminal 26 is carried out, and energy is supplied to a load 14 by the inductor 34.

[0028]

Each slave 16 contains the 1st, the 1st which measure each current of the 2nd transistor 30 and 32, and the 2nd current sensor 40 and 42. The information on current sensors 40 and 42 is used for the master controller 18 in the state of a current criteria control algorithm. Each current sensor generates a digital output signal on one or more output Rhine. or [ that the current by which the digital output signal on output Rhine passes along a slave exceeds a trigger current by the single bit signal ] -- or the case of being less -- yes -- since -- it is switched to a low (reverse is also \*\*). Especially the signal on 1st [ from the 1st current sensor 30 ] output Rhine 44c is switched to a high from a low, when the current which passes along the 1st transistor exceeds the 1st trigger current  $I_{pcross}$ . Similarly, the output signal on 2nd [ from the 2nd current sensor 42 ] output Rhine 44 is switched to a low from a high, when the current which passes along the 2nd transistor 32 falls under to the 2nd trigger current  $I_{ncross}$ .

[0029]

As shown in drawing 1, direct continuation of each output Rhine 44c and 44d may be carried out to the master controller 18. As an alternative, as shown in drawing 1 A, the 1st and 2nd output Rhine may be mutually combined so that single output Rhine 44g may be formed. in this case, the thing which master controller 18' judges -- a slave -- PMOS (the 1st transistor) -- or [ or / that they are any of NMOS (2nd transistor) switch-on ] -- being based -- output Rhine 44g -- the upper signals  $g_1, g_2, \dots, g_n$  are whether to express which current of the 1st or 2nd transistor.



[0030]

When drawing 2 is referred to, each current sensor of the 1st current sensor 40 grade contains the criteria transistor 52, a current source 54, and a comparator 56, for example. Coincidence application is carried out by Anthony Stratakos etc., the same current sensor is indicated by the United States patent application 09th transferred to the grantee of this invention / No. 183,417 "technique of an amperometry", and those the indications of all are quoted and are included in this specification. The criteria transistor 52 has the source connected to the source of the transistor 30, i.e., the 1st transistor, measured, the drain connected to a current source 54, and the gate connected to control line 44e. The criteria transistor 52 is the same as that of a power transistor 30. That is, since a transistor component is manufactured with the same dimension on the same chip using the same process, both have the same electrical characteristics substantially. The known current  $I_{ref}$  flows a current source 54. The plus input of a comparator 56 is connected to the drain of the criteria transistor 52, and the node 58 between current sources 54, and the minus input of a comparator 56 is connected to the middle terminal 26. The output of a comparator is connected to criteria Rhine 44c. Although the 2nd current sensor 42 is constituted similarly, it has the polarity related with an NMOS transistor.

[0031]

Supposing the power transistor 30 and the criteria transistor 52 have closed, the slave current  $I_{slave}$  will flow a power transistor 30, and reference current  $I_{ref}$  will flow [ in / both / actuation ] the criteria transistor 52. The electrical potential difference  $V_{node}$  in a node 58 is given by  $V_{node} = V_{in} - (RR \times I_{ref})$ ,  $RR$  is the equivalent resistance of a transistor 52 here, on the other hand, the electrical potential difference  $V_{int}$  in the middle terminal 26 is given by  $V_{int} = V_{in} - (RP \times I_{slave})$ , and  $RP$  is resistance of a power transistor 30 here. Since the power transistor is manufactured with N transistor component to the criteria transistor 52 being manufactured with the single transistor component, the resistance  $RP$  of a power transistor is substantially [  $RR$  of the criteria transistor 52 /  $1/N$  time ] equal, therefore becomes  $V_{node} = V_{in} - (RP \times N \times I_{ref})$ , and when the slave current  $I_{slave}$  is larger than  $N \times I_{ref}$ , node voltage  $V_{node}$  will become larger than intermediate voltage  $V_{int}$ . Therefore, when the slave current  $I_{slave}$  is larger than threshold level current  $N \times I_{ref}$ , a current sensor 40 outputs a high signal to output Rhine 44c, and when the slave current  $I_{slave}$  is lower than threshold level current  $N \times I_{ref}$ , on the other hand, it outputs a low signal to criteria Rhine 44c.

[0032]

Two current sensors 40 and 42 may be constituted using reference current  $I_{ref}$  which is different so that different threshold level currents  $T_{pcross}$  and  $T_{ncross}$  may be offered. The 1st threshold level current  $T_{pcross}$  for the 1st current sensor 40 may be larger than the 2nd threshold level current  $T_{ncross}$  for the 2nd current sensor 42. Therefore, when the slave current  $I_{slave}$  is larger than the threshold level current  $T_{pcross}$ , a current sensor 40 outputs a high signal, and a low signal is outputted when the slave current  $I_{slave}$  is under the threshold level current  $T_{pcross}$ . Similarly, a current sensor 42 outputs a high signal to output Rhine 44d, when the slave current  $I_{slave}$  is larger than the threshold level current  $T_{ncross}$ , and when the slave current  $I_{slave}$  is under the threshold level current  $T_{ncross}$ , it outputs a low signal. They are not influenced by the noise from an analog signal, but these easy threshold level output signals provide the master controller 18 with the information about a slave current, there is more little power consumption, and it becomes unnecessary much interconnecting them, as a result of carrying out A/D conversion of the current completely.

[0033]

the current threshold level  $T_{ncross}$  and  $T_{pcross}$  chooses -- having -- thereby -- the slave current  $I_{slave}$  -- each switching cycle -- it is -- that is, -- each -- at least one threshold level can be intersected by the switch-on of PMOS and NMOS. The threshold level current  $T_{pcross}$  must be higher than the threshold level current  $T_{ncross}$ , in order that that the slave current  $I_{slave}$  crosses threshold level may increase possibility of saying that it occurs after a comparator is enabling. With the gestalt of 1 operation, the 1st threshold level current  $T_{pcross}$  is good at about 8A, and is good at about 2A. [ of another side and the 2nd threshold level current  $T_{ncross}$  ]

[0034]

A current sensor can be constituted so that the digital signal exceeding one may be outputted. For example, it is \*\* which a current sensor can generate the 1st digital signal when the slave current  $I_{slave}$  exceeds the 1st threshold level current  $T_{pcross}$ , and can generate the 2nd digital signal when the slave current  $I_{slave}$  exceeds the 2nd threshold level current  $T_{pcross2}$ .

[0035]

As it returns to drawing 1 and being explained previously, output voltage  $V_{out}$  of an output terminal 22 is constant-voltage-ized by the master controller 18, or is substantially maintained by fixed level. The master controller 18 measures the electrical potential difference in an output terminal 22, and receives the digital output signal on output Rhine 44c from the current sensors 40 and 42 of each slave 16, and 44d. The measurement output voltage  $V_{out}$  and an output signal are answered from a current sensor, and the master controller 18 generates a control signal, in order to control

actuation of the 1st and the 2nd transistor 30 and 32 in each slave 16. Actuation of the master controller 18 is explained further below at a detail.

[0036]

Most may constitute the master controller 18 and a slave 16 from digital one using the component part on the basis of a switched capacitor. Therefore, most switching regulators 10 are mounted on a single chip using the conventional CMOS technique, or are manufactured on it. However, each slave 16 is manufactured on a single chip, and, as for the master controller 18, being manufactured on another chip is desirable. Or each slave may be manufactured by single IC, and a voltage sensor may be manufactured on another IC chip, and the remainder of a digital controller may be manufactured on still more nearly another IC chip. Each chip may be manufactured using the conventional CMOS technique.

[0037]

When drawing 3 is referred to, in each cycle of a switching circuit, the master controllers 18 are one or more discrete times, and include the electrical-potential-difference sampling circuit 60 which measures the output voltage  $V_{out}$  of an output terminal 22. This sampling circuit 60 is transferred to the grantee [ / else / Anthony Stratakos ] of this invention, and it can constitute those the indications of all substantially as indicated by the United States patent application 08th of application / No. 991,394 "a discrete-time sampling of the data for using for a switching regulator" on December 16, 1997 which is quoted and is included in this specification. In order for a sampling circuit 60 to reduce the error generated with parasitic capacitance and an inductance, ground connection of it may be carried out directly in the gland of a microprocessor. The electrical potential difference sampled by the sampling circuit 60 is transformed into a digital voltage signal by the analog digital (A/D) converter 62.

[0038]

The master controller 18 also contains the digital control algorithm 64. A digital control algorithm receives output Rhine 44c and 44d to the output signals  $c_1, c_2, \dots, c_n$ , and an external clock to  $d_1, d_2, \dots, d_n$  and the clock signal 66 for a digital voltage signal from A/D converter 62. A clock signal 66 may be generated with the same clock which performs a microprocessor by other IC equipments in a load, or the clock on a master controller chip. Clock frequency  $f_{clock}$  is good to make it high ten to 100 times, in order to ensure that making it remarkably higher than the switching frequency  $f_{switch}$  of a switching circuit 24 answers a load effect quickly well. However, clock frequency  $f_{clock}$  should not be made so high that a switching regulator and a master controller constitute a big drain in a voltage source. The clock rate of a microprocessor carries out dividing of the clock signal of a microprocessor more highly, and clock frequency  $f_{clock}$  usually generates it. The frequency of a clock signal 66 is about 33MHz in frequency  $f_{clock}$  for about 16 and 66MHz.

[0039]

drawing 3 -- A -- referring to -- a master -- a controller -- 18 -- ' -- being another -- operation -- output voltage -- nominal voltage -- a difference -- namely, --  $V_{out}$  -- [ -- n -- ] -  $V_{nom}$  -- and -- the present -- output voltage -- one -- a \*\* -- a front -- a clock cycle -- it can set -- output voltage -- a difference -- namely, --  $V_{out}$  -- [ -- n -- ] -  $V_{out}$  -- [ -- n - one -- ] -- measuring -- a sake -- an output terminal -- 24 -- connecting -- having -- an electrical potential difference -- a sampling -- & -- a hold circuit -- 60 -- ' -- containing . The digital nominal voltage  $V_{nom}$  may be set by the external pin, and may be changed into analog voltage by digital one / analog (D/A) converter 68. In this operation, the electrical-potential-difference difference sampled by sampling circuit 60' is changed into two digital electrical-potential-difference difference signals by two A/D converter 62'. Since conversion required in the case of an electrical-potential-difference difference can be managed in the narrower range, it is more simple and can use a high-speed A/D converter more (if it compares with A/D converter 60'). A digital control algorithm receives the digital electrical-potential-difference difference signal from A/D converter 62', the output signals  $c_1, c_2, \dots, c_n$  from output Rhine 44c and 44d,  $d_1, d_2, \dots, d_n$  and the clock signal 66 from an external clock, the digital nominal voltage  $V_{nom}$ , and the current-limiting signal on current limit line 44h (with reference to drawing 1 A, it explains below).

[0040]

If it returns to drawing 1 and drawing 3, the digital control algorithm 64 will generate the control signals  $a_1, a_2, \dots$ , an on timing line 44a and 44b, and the set of  $b_1, b_2, \dots, b_n$ , in order to control transistors 30 and 32 in each slave 16. The condition of saying that the PMOS transistor 30 closes the digital control algorithm 64, the NMOS transistor 32 opens it, and the NMOS transistor 32 closes it, and the PMOS transistor 30 opens it, or both the PMOS transistor 30 and the NMOS transistor 32 open it based on a current load so that the switching condition  $V_{out}$  of each slave, i.e., the output voltage of an output terminal 22, may be substantially maintained in electrical-potential-difference tolerance  $\Delta V_{nom}$  of nominal voltage  $V_{nom}$  is judged.

[0041]

if drawing 1 A, and 3A and 13A are referred to, in order that master controller 18' may generate one or more digital state control signals and this signal may generate the control signal on control line 44a and 44b as an alternative -- each slave

16' -- it is interpreted by the inner interpreter 48 on chip. Like illustration, master controller 18' generates the PMOS state control signals e1, e2, ..., eN, the NMOS state control signals f1, f2, ..., fN, and the continuation / discontinuity mode actuation control signals h1, h2, ..., hN on state control Rhine 44h. When a slave is especially switched to PMOS switch-on, a master controller outputs pulse 49a on PMOS state control Rhine 44e. On the other hand, when a slave is switched to NMOS switch-on, master controller 18' outputs pulse 49b on NMOS state control Rhine 44f. The interpreter 48 on chip interprets the start edge of pulse 49a on state control Rhine 44e as an instruction which switches a slave 16 to a PMOS condition. For example, it switches by setting control line 44a' as a high, and setting control line 44b' as a low. On the contrary, the start edge of pulse 49b on state control Rhine 44f is interpreted by the interpreter 48 on chip as an instruction which switches a slave 16 to an NMOS condition. For example, it switches by setting control line 44a' as a low, and setting control line 44b' as a high. An interpreter on chip interprets the negative going edge of the pulse on state control Rhine 44e and 44f as an instruction which enables the comparator 56 in a current sensor 40 and 42, respectively.

[0042]

If it enables continuous mode actuation, a switching circuit will usually operate, when the slave current  $I_{\text{slave}}$  is negative (for example, when 44g of control lines is a low). However, the NMOS transistor 30 has closed, and when a discontinuity mode actuation control signal is a disable, both the NMOS transistor 30 and the PMOS transistor 32 are opened in order to prevent that a negative current flows a slave, when the slave current  $I_{\text{slave}}$  is less than zero (for example, when 44g of control lines is a high). Generally, the master controller 18 operates a slave in more efficient discontinuity mode. However, it is more advantageous to operate by continuous mode, when starting sag large a load and rapid.

[0043]

A slave intercepts a slave automatically, when the current of a switching circuit exceeds the dangerous level of 15A also including the failure protection network 68 (the control signal from a master controller is made into an invalid). When the failure protection network 68 operates, a slave tells master controller 18' about having sent the digital signal on current-limiting Rhine 44i (referring to drawing 3 A), and the slave having been made inactive. A slave may produce other digital feedback signals. For example, a slave may also contain a condition sensor and generates the digital condition signal which shows conditions of a switching regulator, like it is in PMOS or NMOS switch-on.

[0044]

With reference to drawing 4, for every clock cycle  $T_{\text{clock}}$ , when for example, clock frequency  $f_{\text{clock}}$  is about 33MHz, as for the digital control algorithm 64, a control system 100 may be performed every about 30 nanoseconds. A control algorithm 64 judges the presumed current  $I_{\text{estimate}}$  which expresses the current of the inductor 34 of the slave to each slave (step 102). Since a control algorithm 64 calculates the request electrical potential difference  $V_{\text{des}}$  showing the target output voltage on an output terminal 22 again (step 104) and all the request currents  $I_{\text{total}}$  showing the current which should flow into a load through an inductor are calculated, output voltage  $V_{\text{out}}$  becomes equal to the request electrical potential difference  $V_{\text{des}}$  substantially (step 106). Next, a digital control algorithm determines the slave of the number of requests activated by the following clock cycle (step 108), and calculates the request current  $I_{\text{des}}$  over each slave (step 110). Finally, since a control algorithm controls the 1st and the 2nd transistor 30 and 32 of each slave, substantially, all the currents of a slave are within the limits of request current error  $\Delta I_{\text{total}}$ , and become equal at all the request currents  $I_{\text{total}}$  (step 112). These steps are further explained to a detail below in each. However, it will be understood that it is not necessary to perform in specific sequence. For example, various count is performed by being parallel, or is performed by the front clock cycle, is memorized, and is already good. Especially a request electrical potential difference and a request current are calculated and memorized in order to use by the following clock cycle.

[0045]

With reference to drawing 1 and drawing 5, the presumed current  $I_{\text{estimate}}$  is calculated at step 102. Since the rate of change of the current which passes an inductor, i.e.,  $dI/dT$ , is proportional to the electrical potential difference  $V_{\text{inductor}}$  concerning an inductor [0046]

[Formula 1]

$$V_{\text{inductor}} = L \frac{dI}{dT} \quad (1)$$

[0047]

Here,  $L$  is the inductance of the inductor about a current which flows from the middle terminal 26 to an output terminal

22. The middle terminal 26 is connected to the source of input voltage, the electrical potential difference  $V_{inductor}$  concerning an inductor 34, i.e.,  $V_{out} - V_{intmediate}$ , is forward, and, thereby, it makes the current of an inductor increase between PMOS switch-on. On the other hand, between NMOS switch-on, since the middle terminal 26 is grounded, the electrical potential difference  $V_{inductor}$  concerning an inductor 34 serves as negative, and decreases the current of an inductor by it. The inclination (a fictitious outline 70 shows) of the slave current  $I_{slave}$  is given by the degree type between PMOS switch-on.

[0048]

[Formula 2]

$$\frac{dI}{dT} = \frac{V_{in} - V_{out}}{L} \quad (2)$$

[0049]

On the other hand, the inclination of the slave current  $I_{slave}$  is given by the degree type between NMOS switch-on.

[0050]

[Formula 3]

$$\frac{dI}{dT} = \frac{-V_{out}}{L} \quad (3)$$

[0051]

The presumed current  $I_{estimate}$  (a continuous line 72 shows) is adjusted for every clock cycle. Especially the presumed current  $I_{estimate}$  is increased between PMOS switch-on by value  $\Delta I_{up}$  which goes up with fixed inclination for every clock cycle. Similarly, the presumed current  $I_{estimate}$  decreases between NMOS switch-on by value  $\Delta I_{down}$  which descends with fixed inclination for every clock cycle.  $\Delta I_{up}$  and  $\Delta I_{down}$  which go up and descend with fixed inclination may be given by the degree type.

[0052]

[Formula 4]

$$\Delta I_{up} = \frac{V_{in} - V_{out}}{L \cdot f_{clock}} \quad \Delta I_{down} = \frac{V_{out}}{L \cdot f_{clock}} \quad (4)$$

[0053]

Here,  $L$  is the inductance of an inductor 34 and  $f_{clock}$  is a clock frequency.

[0054]

the rate which nominal value may be used as a variable in the judgment of  $\Delta I_{up}$  and  $\Delta I_{down}$ , consequently rises and descends with fixed inclination -- working change of a switching regulator -- it does not carry out. As an alternative, for the re-calculation of  $\Delta I_{up}$  and  $\Delta I_{down}$ , it may be measured and one or more of the values of  $V_{in}$ ,  $V_{out}$ ,  $f_{clock}$ , and  $L$  may be used so that dynamic adjustment of the rate of a switching regulator 10 which rises and descends with fixed inclination working can be performed. Though regrettable, correctly, an inductance  $L$  and an input current  $V_{in}$  are not understood, change with time amount, and change from a circuit to a circuit. Therefore, the presumed current  $I_{estimate}$  shifts from the actual slave current  $I_{slave}$ . Consequently, it is necessary to the actual slave current  $I_{slave}$  to sometimes check the presumed current  $I_{estimate}$ . By each clock cycle, the presumed current  $I_{estimate}$  for a slave is checked to the output signal from current sensors 40 and 42. When estimate is not in agreement with measured value, it is adjusted so that estimate may be in agreement.

[0055]

With reference to drawing 6 A and drawing 7 A, among PMOS switch-on, although the presumed current  $I_{estimate}$  is under the upper threshold level current  $I_{pcross}$ , when the output signal  $c1$  from a current sensor 40 is a high, it is increased by the presumed current so that it may be in agreement with  $I_{pcross}$ . Although the presumed current  $I_{estimate}$  exceeds the upper threshold level current  $I_{pcross}$  with reference to drawing 6 B and drawing 7 B, when an output signal

c1 is low, the presumed current  $I_{estimate}$  is maintained at  $I_{pcross}$  until an output signal c1 becomes a high. Although the presumed current  $I_{estimate}$  is above the lower threshold level current  $I_{ncross}$  among NMOS switch-on with reference to drawing 6 C and drawing 7 C, when the output signal d1 from a current sensor 42 is low, the presumed current  $I_{estimate}$  decreases immediately so that it may be in agreement with  $I_{ncross}$ . Although the presumed current  $I_{estimate}$  is less than the lower threshold level current  $I_{ncross}$  and it falls with reference to drawing 6 d and drawing 7 d, when an output signal d1 is high, the presumed current  $I_{estimate}$  is held at  $I_{ncross}$  until an output signal d1 becomes low. Count of the presumed current  $I_{estimate}$  is summarized in Table 1.

[0056]

[Table 1]

PMOS 導通状態	$I_{estimate} > I_{pcross}$	c <sub>1</sub> ハイ	$\Delta I_{up}$ によって $I_{estimate}$ 増加
		c <sub>1</sub> ロー	$I_{pcross}$ で $I_{estimate}$ 保持
	$I_{estimate} < I_{pcross}$	c <sub>1</sub> ハイ	$I_{pcross} \rightarrow I_{estimate}$ 増加
		c <sub>1</sub> ロー	$\Delta I_{up}$ によって $I_{estimate}$ 増加
NMOS 導通状態	$I_{estimate} > I_{ncross}$	d <sub>1</sub> ハイ	$\Delta I_{up}$ によって $I_{estimate}$ 減少
		d <sub>1</sub> ロー	$I_{ncross} \rightarrow I_{estimate}$ 減少
	$I_{estimate} < I_{ncross}$	d <sub>1</sub> ハイ	$I_{ncross}$ で $I_{estimate}$ 保持
		d <sub>1</sub> ロー	$\Delta I_{up}$ によって $I_{estimate}$ 減少

表 1

[0057]

A digital control algorithm may disregard the signal from the current sensor in one or more clock cycles immediately after switching between PMOS and NMOS switch-on so that it may prevent that a false signal adjusts a presumed current accidentally.

[0058]

The propagation time required since a signal is transmitted along time delay  $\Delta T_{delay}$  and output Rhine 44c or 44d by the switching time required in order to operate a comparator is factorized by the judgment of a presumed current. For example, when an output signal c1 is switched to a high from a low and the presumed current  $I_{estimate}$  is amended, correction factor  $\Delta T_{delay} \times \Delta I_{up \times switch}$  is added to a presumed current so that actual current may be expressed, when a master controller receives change of an output signal c1. When similarly an output signal d1 is switched to a low from a high and the presumed current  $I_{estimate}$  is amended, correction factor  $\Delta T_{delay} \times \Delta I_{down \times switch}$  is subtracted from a presumed current. In order to acquire as an alternative the same (while maintaining the original value of  $I_{ncross}$  and  $I_{pcross}$  which are used in Table 1) effectiveness the threshold level current  $I_{pcross}$  You may decrease by correction factor  $\Delta T_{delay} \times \Delta I_{up \times switch}$ . The threshold level current  $I_{ncross}$  by correction factor  $\Delta T_{delay} \times \Delta I_{down \times switch}$  When you may increase and drawing 8 is referred to, the request electrical potential difference  $V_{desired}$  It is chosen at step 104 and the effectiveness of the load effect about the output voltage  $V_{out}$  which raises possibility of saying that output voltage  $V_{out}$  is maintained within the limits of electrical-potential-difference tolerance  $\Delta V_{nom}$  of nominal voltage  $V_{nom}$  is illustrated in fictitious-outline Rhine 80. When a load increases suddenly especially, a current flows for a load 14 from a capacitor 36, and output voltage  $V_{out}$  declines by it. On the contrary, when the loads of a switching regulator decrease in number suddenly, a charge is accumulated in a capacitor 36 and output voltage  $V_{out}$  increases by it. This becomes the cause for which output voltage  $V_{out}$  exceeds a tolerance electrical potential difference to for example, excess electrical-potential-difference  $\Delta V_{excess}$ .

[0059]

A controller 18 chooses the request electrical potential difference  $V_{desired}$ , in order to fall or remove excess electrical-potential-difference  $\Delta V_{excess}$ . When the load of a switching regulator is min, only an increment is possible, therefore, as for a load, only the fall of output voltage  $V_{out}$  is possible. On the contrary, when the load of a switching regulator is max, only reduction can do a load, therefore only the increment of output voltage  $V_{out}$  is possible. When a load is low, the request electrical potential difference  $V_{desired}$  is set so that it may become slightly higher than nominal voltage  $V_{nom}$ . When a load is expensive, the request electrical potential difference  $V_{desired}$  is set so that it may become slightly lower than nominal voltage  $V_{nom}$ . As a continuous line 82 shows, this technique reduces excess electrical-potential-difference  $\Delta V_{excess}$ , and raises possibility that output voltage  $V_{out}$  will stop within the limits of electrical-potential-difference tolerance  $\Delta V_{nom}$  of a request of nominal voltage  $V_{nom}$  by it. Therefore, to the given

load, a switching regulator can use a smaller capacitor and can maintain the same electrical-potential-difference tolerance. Even if the request electrical potential difference  $V_{desired}$  to a clock cycle  $n+1$  [ $n+1$ ] is calculated as follows, it is good. : [0060]

[Formula 5]

$$V_{desired[n+1]} = c_1 V_{nom} + c_2 (V_{nom} - V_{desired[n]}) + (c_1 + c_2) \left( 1 - 2 \frac{I_{load}}{I_{max}} \right) \cdot \Delta V_{swing} \quad (5)$$

[0061]

A feedback constant and  $\Delta V_{swing}$  are voltage variation by which the current (from the following formula 8 to count) and  $I_{max}$  to which  $I_{load}$  flows a load 14 are permitted by the permissible current carrying capacity of a load 14 here, and  $c_1$  and  $c_2$  are permitted by electrical-potential-difference tolerance, namely, are  $\Delta V_{swing} < \Delta V_{nom}$ . For example, if electrical-potential-difference tolerance is \*\*6% in 1.3 volts, for about 30 millivolts and  $c_1$ , about 1.0 and  $c_2$  are [ nominal voltage  $V_{nom}$  /  $\Delta V_{nom}$  / about 78 millivolts and  $\Delta V_{swing}$  / about ]. -It will be 0.9375.

[0062]

If the request electrical potential difference  $V_{desired}$  is determined at step 104, all the request currents  $I_{total}$  will once be determined at step 106. Especially the request current  $I_{total}$  is set in order to maintain the output voltage  $V_{out}$  in an output terminal 22 on the request electrical potential difference  $V_{desired}$ . generally, all the currents that will flow for a load through an inductor if it assumes that output voltage  $V_{out}$  is equal to the request request electrical potential difference  $V_{desired}$  must be equal to the current through a load -- that is, it is  $I_{total} = I_{load}$ . However, as long as an electrical potential difference  $V_{out}$  differs from the request electrical potential difference  $V_{desired}$ , the current which flows a switching regulator 10 may be adjusted so that this electrical-potential-difference error may be amended.

Therefore, all the request currents  $I_{total}$  are expressed as follows. : [0063]

[Formula 6]

$$I_{total} = I_{load} + I_{adjust} \quad (6)$$

[0064]

Here,  $I_{adjust}$  is an adjustment factor which amends an electrical-potential-difference error.

[0065]

if it assumes that all the capacitors connected to an output terminal are in a slave with reference to drawing 9 -- the load current  $I_{load}$  -- the sum total of the output current  $I_{out}$  from each slave 16 (i) -- equal -- namely : [0066]

[Formula 7]

$$I_{load} = \sum_i^N I_{out}(i) \quad (7)$$

[0067]

It is equal to a difference, Current (i)  $I_{cap}$ , i.e., the capacitor current, which passes through an inductor 34 capacitor 36, flowing Current (i)  $I_{slave}$ , i.e., the slave current, or flows from there, and, as a result, the output current  $I_{out}$  of each slave 16 (i) is. : [0068]

[Formula 8]

$$I_{out}(i) = I_{slave}(i) - I_{cap}(i) \quad (8)$$

[0069]

Therefore, all the request currents  $I_{total}$  are expressed with this configuration as follows. : [0070]

[Formula 9]

$$I_{total} = \sum_i^N I_{slave}(i) - \sum_i^N I_{cap}(i) + I_{adjust} \quad (9)$$

[0071]

Although the slave current  $I_{slave}$  (i) is not known correctly, probably, it approximates as the sum total of the presumed current  $I_{estimate}$  from each slave. In addition, the capacitor is not known but a slave may be complemented by one or more capacitors, such as a bypass capacitor of a microprocessor by which the capacitor current  $I_{cap}$  (i) is connected to common Rhine from an inductor 34, or may be replaced. However, generally, if output voltage  $V_{out}$  is changed, it must pass through a current capacitor 36, or it must be flowing from there. Consequently, all the capacitor currents  $I_{CAP}$  are expressed with a degree type. : [0072]

[Formula 10]

$$I_{CAP} = C \cdot \frac{\Delta V_{out}}{\Delta T} \quad (10)$$

[0073]

Here, the total capacitance of the capacitor by which  $C$  is connected with an output terminal between touch-down, and  $\Delta T$  are change of a clock period and output voltage [ in / in  $\Delta V_{out}$  / a clock period ]. Therefore, generally the load current  $I_{load}$  is determined from a degree type. : [0074]

[Formula 11]

$$I_{load} = \sum_1^N I_{estimate}(i) - \frac{\Delta V_{out}}{\Delta T} \cdot C \quad (11)$$

[0075]

In the operation shown in drawing 3 A to it at the operation shown in drawing 3 although count of  $\Delta V_{out}$ , i.e.,  $V_{out}[n] - V_{out}[n-1]$  may be performed by the digital control algorithm 64, electrical-potential-difference difference  $V_{out}[n] - V_{out}[n-1]$  is given by sampling & hold-circuit 60'.

[0076]

The adjustment current  $I_{adjust}$  is in direct proportion to the difference of the measured output voltage  $V_{out}$  and the request electrical potential difference  $V_{desired}$ . Therefore, all the request currents  $I_{total}$  are calculated as follows. :

[0077]

[Formula 12]

$$I_{total} = \sum_1^N I_{estimate}(i) - \frac{\Delta V_{out}}{\Delta T} \cdot C + K(V_{out} - V_{desired}) \quad (12)$$

[0078]

Here,  $K$  is a feedback constant which determines the adjustment current  $I_{adjust}$ .

[0079]

Once all the request currents  $I_{total}$  are determined, a controller 18 will be determined about how many slaves should be activated at step 108. The number of slaves for a current cycle is calculable by the front clock cycle. Generally, the number of active slaves is proportional to all request currents. For example, supposing the maximum average current of each slave 16 is about 7A, it is good [ if  $I_{total}$  is 0-7A and one slave is active, it is good and ], if  $I_{total}$  is 7-14A and two slaves are active etc. The number of active slaves is given by Table 2 in more detail.

[0080]

[Table 2]



クロックサイクルNに対するアクティブスレーブの数	全電流 $I_{total}$ (アンペア)				
	クロックサイクルN+1に対するアクティブスレーブの数				
1	$0 > I_{total} \geq 7$	$7 > I_{total} \geq 14$	$14 \geq I_{total} > 21$	$21 \geq I_{total} > 28$	$28 > I_{total}$
	1	2	3	4	5
2	$0 > I_{total} \geq 6$	$6 > I_{total} \geq 14$	$14 \geq I_{total} > 21$	$21 \geq I_{total} > 28$	$28 > I_{total}$
	1	2	3	4	5
3	$0 > I_{total} \geq 6$	$6 > I_{total} \geq 12$	$12 \geq I_{total} > 21$	$21 \geq I_{total} > 28$	$28 > I_{total}$
	1	2	3	4	5
4	$0 > I_{total} \geq 6$	$6 > I_{total} \geq 12$	$12 \geq I_{total} > 18$	$18 \geq I_{total} > 28$	$28 > I_{total}$
	1	2	3	4	5
5	$0 > I_{total} \geq 6$	$6 > I_{total} \geq 12$	$12 \geq I_{total} > 18$	$18 \geq I_{total} > 24$	$24 > I_{total}$
	1	2	3	4	5

表 2

[0081]

Once the number of all the request currents  $I_{total}$  and active slaves is determined, the request electrical potential difference  $I_{desired}$  may be calculated about each slave at step 110. Especially the request electrical potential differences  $I_{desired}$  may be all the currents  $I_{total}$  by which a division is only done with the number of active slaves.

[0082]

If the request current  $I_{desired}$  is calculated for each active slave, the average current which the switching circuit of each active slave is controlled (step 112), consequently flows an active slave will become equal to the request current  $I_{desired}$  substantially, and all the currents that flow a switching regulator will once become equal to  $I_{total}$  substantially. Therefore, the current which flows from switching regulator 10 maintains output voltage on the request electrical potential difference  $V_{desired}$  by it in accordance with the current which flows for a load 12. The remainder, i.e., an inactive slave, is not connected. That is, both the PMOS transistor 30 and the NMOS transistor 32 are still opening.

[0083]

To various control algorithms controlling the switching circuit of an active slave, it is possible, consequently all the currents that flow a switching regulator become equal to all the request currents  $I_{total}$  substantially. Generally, in order that a control algorithm may answer quickly : 1 load effect chosen so that the following factor may be balanced, all slaves can be done in coincidence at switch-on or OFF, 2) -- ensuring operating by request phase offset so that a slave may make an electrical-potential-difference ripple min, and 3 -- in order to maintain an electrical potential difference on fixed level substantially, switch on maintaining an average current equally to a request current, and 4 request switching frequency.

[0084]

With reference to drawing 10, one of the active slaves is chosen as a criteria slave based on a predetermined selection pattern (step 120). For example, a specific slave may be specified as a criteria slave, or a criteria slave may make a slave change in order. Actuation of the remaining slaves, i.e., a non-criteria slave, is combined with actuation of a criteria slave so that it may inquire below. A criteria slave may be chosen whenever it changes the time of power-up of a switching regulator, or the number of active slaves. Once a criteria slave is chosen, request phase offset will be calculated about each \*\*\*\*\* slave (step 122). Request phase offset may be determined whenever the number of active slaves is changed. A non-criteria slave is controlled to operate by request phase offset.

[0085]



By each clock cycle, two current limiting including the upper limit current  $I_{upper}$  and the minimum current  $I_{lower}$  is calculated about a criteria slave (step 124). Finally, a criteria slave is controlled based on a criteria slave control algorithm (step 126), and a non-criteria slave is controlled based on a non-criteria slave control algorithm (step 128). A criteria slave is controlled by some operations based on the comparison with the current limiting  $I_{upper}$  and  $I_{lower}$  of the upper and lower sides of the presumed current  $I_{estimate}$ , and a non-criteria slave is controlled by them based on request phase offset. Of course, the step sequencing shown in drawing 10 is as an example, and the step could be performed to juxtaposition in another sequence. For example, in the specific clock cycle of arbitration, current limiting is calculable before phase offset, and when a slave is controlled based on current limiting and the phase offset which were calculated and memorized within a former clock cycle, a count step can be performed after a control step.

[0086]

At step 122, a control algorithm calculates request phase offset  $\phi(i)$  which expresses the request time delay at the time of initiation of PMOS and NMOS switch-on between a criteria slave and a non-criteria slave about each \*\*\*\*\* slave. For example, if two sets of slaves are active, they must be 180-degree phase shifts and time delay must be equal to the one half of the switching period  $T$ , i.e.,  $\phi(1) = 1/(2T)$ . If three sets of slaves are active, they must be 120-degree phase shifts and time delay  $\phi(1)$  and  $\phi(2)$  must be equal to each  $1/3$  of a switching period, and  $2/3$ . By operating the slave with which the phase has shifted, the current ripple from each slave is negated partially at least, and the more fixed output current is offered by it from a switching regulator. Request phase offset is summarized by Table 3.

[0087]

[Table 3]

所望位相 オフセット	アクティブスレーブの数				
	1	2	3	4	5
$\Phi(0)$ 基準	0	0	0	0	0
$\Phi(1)$		$(1/2)T$	$(1/3)T$	$(1/4)T$	$(1/5)T$
$\Phi(2)$			$(2/3)T$	$(1/2)T$	$(2/5)T$
$\Phi(3)$				$(3/4)T$	$(3/5)T$
$\Phi(4)$					$(4/5)T$

表 3

[0088]

The average current which the up-and-down current limiting  $I_{upper}$  and  $I_{lower}$  is calculated about a criteria slave at step 124, consequently minds the criteria slave 16 becomes equal to the request current  $I_{desired}$ . Especially the upper limit current  $I_{upper}$  and the minimum current  $I_{lower}$  are calculated as follows. : [0089]

[Formula 13]

$$I_{upper} = I_{desired} + \frac{1}{2}\Delta I_0 \quad I_{lower} = I_{desired} - \frac{1}{2}\Delta I_0 \quad (13)$$

[0090]

Here,  $\Delta I_0$  is the bandwidth of a criteria slave. A bandwidth  $\Delta I_0$  is set based on a request switching frequency as follows. : [0091]

[Formula 14]

$$\Delta I_0 = \frac{1}{\left( \frac{L}{V_{in} - V_{out}} + \frac{L}{V_{out}} \right)} \cdot \frac{1}{f_{switch}} \quad (14)$$

[0092]

Here,  $f_{switch}$  is a request switching frequency. Maintaining suitable power efficiency, a request switching frequency is chosen so that it may have good dynamic response. Generally, although the increment in a switching frequency reduces a current ripple, it makes a switching regulator inefficient. On the contrary, although the fall of a switching frequency raises the power efficiency of a switching regulator, a current ripple increases it. A switching frequency is in about

1MHz within the limits of about 0.5-5.0MHz. The bandwidth count which gives a request switching frequency is based on either the measured value of other variables in a formula 14, or nominal value.

[0093]

One implementation of fundamental actuation of the master controller 18 in control of a criteria slave is explained with reference to drawing 11 and drawing 12. As mentioned above, the master controller 18 calculates the presumed current Iestimate in step 102 (a continuous line 70 shows). Master controller 18 calculate the upper limit current Iupper (a continuous line 72 shows) and the minimum current Ilower (a continuous line 74 shows) at step 122 again. It judges whether the digital control algorithm 64 should switch the 1st and the 2nd transistor 30 and 32 for the presumed current Iestimate of a criteria slave as compared with the upper limit current Iupper and the minimum current Ilower. When the presumed current Iestimate exceeds the upper limit current Iupper especially, the NMOS transistor 32 closes, the PMOS transistor 30 opens, and the middle terminal 26 is grounded by it. On the other hand, when the presumed current Iestimate is less than the minimum current Ilower, the NMOS transistor 32 is opened, the PMOS transistor 30 closes, and the middle terminal 26 is connected to the source 12 of input voltage by it. Therefore, if the presumed current Iestimate assumes that the current Islave which flows a criteria slave is expressed correctly, the criteria slave current Islave (a fictitious outline 76 shows) vibrates between the upper limit current Iupper and the minimum current Ilower, and the average current of the criteria slave current Islave spreads abbreviation etc. on the request current Idesired (a fictitious outline 78 shows).

[0094]

In switching regulator 10' shown in drawing 1 A, when the presumed current Iestimate exceeds the upper limit current Iupper, master controller 18' outputs pulse 49b to state control Rhine 44f. This pulse opens the PMOS transistor 30 (control line 44a set to drawing 13 A into a low shows), and is interpreted by the interpreter 48 on chip as an instruction which closes the NMOS transistor 32. On the other hand, when the presumed current Iestimate is less than the minimum current Ilower and descends, a master controller outputs pulse 49a to control line 44a which the NMOS transistor 32 is opened [ a ] and makes the PMOS transistor 30 closed (control line 44a set to drawing 13 A to a high shows).

[0095]

It is used for control of a switching circuit 24 so that it may ensure that the upper limit current Iupper and the minimum current Ilower are certainly in agreement with the average current which flows from a criteria slave. For example, if a load increases, Idesired will increase and the limit currents Iupper and Ilower will increase it. On the other hand, if loads decrease in number, Idesired will decrease and the limit currents Iupper and Ilower will decrease. In addition, when a load is substantially fixed, the bandwidth  $\Delta I_0$  between the upper limit current Iupper and the minimum current Ilower sets the switching frequency of a switching circuit 24.

[0096]

Various control algorithms are possible to control of the switching circuit of the non-criteria slave for attaining a request current and phase offset. Reference of drawing 14 and drawing 15 controls a non-criteria slave by one operation of the digital control algorithm 64 based on the one switching time of the transistor in one and the criteria slave of current limiting. If it summarizes, switching of a non-criteria slave will be attracted by the time of termination of the phase offset timer started when a criteria slave performs switching by other current limiting when the presumed current over two event:slaves passes one of the \*\*\*\*\*.

[0097]

When the presumed current Iestimate of a non-criteria slave exceeds the upper limit (it calculated by formula 12 for criteria slave) current Iupper especially, a non-criteria slave starts the NMOS switch-on, namely, the PMOS transistor 30 is opened, and the NMOS transistor 32 is closed. A digital control algorithm can contain one or more phase offset timers. A phase offset timer is used for invitation of the PMOS switch-on of a non-criteria slave. A timer is started when a criteria slave starts the PMOS switch-on especially. A timer is compared with request phase offset [ of each \*\*\*\*\* slave ]  $\phi(i)$  by each clock cycle. When offset time amount  $\phi(i)$  related with a specific non-criteria slave is completed, a non-criteria slave starts PMOS switch-on, namely, the NMOS transistor 32 is opened, and the PMOS transistor 30 is closed. Therefore, phase offset  $\phi(i)$  determines delay between the criteria slave in initiation of NMOS switch-on, and a non-criteria slave. Of course, the structure of invitation can be reversed by the PMOS switch-on attracted when a non-criteria slave is less than the minimum current Ilower and descends, and the timer which operates when a criteria slave starts the NMOS switch-on.

[0098]

Reference of drawing 16 and drawing 17 calculates the up-and-down current limiting Iupper (i) and Ilower (i) in operation of the 2nd of the digital control algorithm 64 for each \*\*\*\*\* slave. Up-and-down current limiting is chosen so that the average current of the non-criteria slave 16 may become equal to the request current Idesired. Since each

slave has its current limiting, bandwidth  $\Delta I_i$  of each slave controls the switching frequency of the slave. Especially the switching period  $T$  is calculable from the following formulas. : [0099]

[Formula 15]

$$T = \Delta I_i \cdot \left( \frac{L}{V_{in} - V_{out}} - \frac{L}{V_{out}} \right) \quad (15)$$

[0100]

In order to adjust the phase contrast between a criteria slave and a non-criteria slave, bandwidth  $\Delta I_i$  of a non-criteria slave is adjusted in order to change the switching frequency. This changes the time difference between PMOS and NMOS switch-on by making it late or making a non-criteria slave quick to a criteria slave. If request phase contrast is attained, the bandwidth of a non-criteria slave is adjusted again and, thereby, the switching frequency of two slaves is once in agreement. In order to adjust the bandwidth of a non-criteria slave, the digital control algorithm 64 measures the actual time delay  $T_N$  and  $T_p$  of initiation of NMOS of two slaves, and PMOS switch-on. Subsequently, bandwidth  $\Delta I_i$  is set so that it may become equal to the request bandwidth which added the feedback term proportional to the error or difference between a request and actual time delay. For example, bandwidth  $\Delta I_i$  is calculated as follows. :

[0101]

[Formula 16]

$$\Delta I_i = \Delta I_0 + K_1[\Phi(i) - T_N] + K_2[\Phi(i) - T_P] \quad (16)$$

[0102]

It is the request bandwidth by which  $K_1$  and  $K_2$  are calculated and a feedback error constant and  $\Delta I_0$  are calculated by the formula 13 here. Subsequently, the upper limit current  $I_{upper}(i)$  and the minimum current  $I_{lower}(i)$  are calculated as follows. : [0103]

[Formula 17]

$$I_{upper}(i) = I_{desired}(i) + \frac{1}{2}\Delta I_i, \quad I_{lower}(i) = I_{desired}(i) - \frac{1}{2}\Delta I_i \quad (17)$$

[0104]

The trigger of the 1st and the 2nd transistor 30 and 32 of a non-criteria slave is applied using the upper limit current  $I_{upper}(i)$  and the minimum current  $I_{lower}(i)$ . When the presumed current  $I_{estimate}(i)$  exceeds the upper limit current  $I_{upper}(i)$  especially, the PMOS transistor 30 is opened and closes the NMOS transistor 32. On the other hand, when the presumed current  $I_{estimate}(i)$  is less than the minimum current  $I_{lower}(i)$ , the NMOS transistor 32 is opened and closes the PMOS transistor 30. Consequently, if the presumed current  $I_{estimate}(i)$  expresses the slave current  $I_{slave}(i)$  correctly, the slave current  $I_{slave}(i)$  vibrates between an upper limit  $I_{upper}(i)$  and Minimum  $I_{lower}(i)$ . Therefore, the average current which flows a slave is almost equal to  $I_{desired}(i)$ , and all the currents that flow a switching regulator become almost equal to all the request currents  $I_{total}$ . Up-and-down current limiting is set so that the average total output current from a slave may be in agreement with a load.

[0105]

If drawing 18 thru/or drawing 23 are referred to, in the 3rd operation, the digital control algorithm 64 will calculate the "ghost" current for each \*\*\*\*\* slave 16. The ghost current  $I_{ghost}(i)$  expresses the request current which flows the slave, and current limiting and desired phase offset are given. Each \*\*\*\*\* slave is controlled by comparing the presumed current  $I_{estimate}$  for a non-criteria slave (i) with the ghost current  $I_{ghost}(i)$ .

[0106]

A ghost current is calculated by the same method as count of a presumed current. Namely, the ghost current  $I_{ghost}(i)$  and (the continuous line 84 of drawing 22 shows) are increased by part for rise value  $\Delta I_{up-ghost}$  of fixed inclination for every clock cycle between ghost PMOS switch-on, and the ghost current  $I_{ghost}(i)$  decreases by downward value  $\Delta I_{down-ghost}$  of fixed inclination for every clock cycle during a ghost NMOS flow. However, when the ghost current  $I_{ghost}(i)$  exceeds the upper limit current  $I_{upper}$ , a ghost current is set equally to the upper limit current  $I_{upper}$ . Similarly, when the ghost current  $I_{ghost}(i)$  is less than the minimum current  $I_{lower}$ , a ghost current is set equally to the upper limit current  $I_{lower}$ .

[0107]

As for ghost switch-on, a trigger is applied by switching of a criteria slave and request phase offset (see drawing 20 and 21). After a criteria slave switches especially a ghost to PMOS switch-on, he switches to ghost PMOS switch-on by request phase offset  $\phi(i)$ . Similarly, after a criteria slave switches a ghost to NMOS switch-on, he switches to ghost NMOS switch-on by request phase offset  $\phi(i)$ .

[0108]

As mentioned above, switching of a non-criteria slave is controlled by comparing the presumed current  $I_{estimate}$  for a non-criteria slave (i), and (the continuous line 86 of drawing 23 showing) with the ghost current  $I_{ghost}$  for a non-criteria slave (i), and the (broken line 84 shown in drawing 23). Especially, a non-criteria slave is in PMOS switch-on, a ghost is in NMOS switch-on, and when the presumed current  $I_{estimate}(i)$  exceeds the ghost current  $I_{ghost}(i)$ , a slave is switched to NMOS switch-on. Similarly, a non-criteria slave is in NMOS switch-on, a ghost is in PMOS switch-on, and when the presumed current  $I_{estimate}(i)$  is less than the ghost current  $I_{ghost}(i)$ , a slave is switched to PMOS switch-on. If it puts in another way, when a slave will switch a presumed current, a ghost current is crossed and two currents have a reverse inclination. Thus, a slave is switched in order to pursue a ghost current efficiently. In addition, when a ghost is in PMOS switch-on, a non-criteria slave will be switched to NMOS switch-on, if the presumed current  $I_{estimate}(i)$  exceeds the ghost current  $I_{ghost}(i)$  by the current offset  $I_{over}$ . And when a ghost is in NMOS switch-on, a non-criteria slave will be switched to PMOS switch-on, if the presumed current  $I_{estimate}(i)$  is less than the ghost current  $I_{ghost}(i)$  with the current offset  $I_{under}$ . Thereby, even when a ghost current changes suddenly, a current slave can pursue a ghost current certainly.

[0109]

If drawing 24 thru/or drawing 27 are referred to, the digital control algorithm 64 will calculate a "ghost" current about both a criteria slave and a non-criteria slave, and both a criteria slave and a non-criteria slave will be controlled by 4th operation by comparing the presumed current  $I_{estimate}(i)$  with the ghost current  $I_{ghost}(i)$ .

[0110]

If drawing 25 is referred to, it will be almost equal to the switching frequency of 1MHz, and a request duty cycle, for example, the digital control algorithm 64 will generate the clock signal 90 with the duty cycle  $D_s$  of  $V_{out}/V_{in}$ , for example, it is almost equal to a request switching frequency. A duty cycle may be fixed based on the nominal value of  $V_{in}$  and  $V_{nom}$ . Each ghost's ghost switch-on is controlled using a clock signal 90. Especially a clock signal can be generated for [ each ] active slaves using each clock signal offset by the request phase offset  $\phi(i)$ . A ghost is in ghost PMOS switch-on, when the clock signal 90 related with a slave is a high, and a ghost is in ghost NMOS switch-on, when the clock signal 90 related with a slave is a low. For example, when three slaves are active, the 3rd ghost switches after 2/3 of the switching period behind the after [ 1/3 of the switching period behind the 2nd ghost ], and 1st ghosts. Request phase offset  $\phi$  after a criteria slave switches to PMOS switch-on (i) As best shown in drawing 25 and drawing 26, if there is no ghost current as if, it will be calculated by the same approach as count of the ghost current examined with reference to the 3rd operation and drawing 18. That is, it is increased by the ghost current  $I_{ghost}(i)$  and (a continuous line 92 showing to drawing 26) between ghost PMOS switch-on by rise value  $\Delta I_{up-ghost}$  of fixed inclination by each clock cycle, and the ghost current  $I_{ghost}(i)$  decreases by downward value  $\Delta I_{down-ghost}$  of fixed inclination by each clock cycle between ghost NMOS switch-on. However, when the ghost current  $I_{ghost}(i)$  exceeds the upper limit current  $I_{upper}$ , a ghost current is set equally to the upper limit current  $I_{upper}$ . Similarly, when the ghost current  $I_{ghost}(i)$  is less than the minimum current  $I_{lower}$ , a ghost current is set equally to the upper limit current  $I_{lower}$ .

[0111]

Reference of drawing 24 and drawing 27 controls switching of a non-criteria slave as mentioned above by comparing the presumed current  $I_{estimate}$  for a non-criteria slave (i), and (a continuous line 94 showing) with the ghost current  $I_{ghost}$  about a non-criteria slave (i), and (point Rhine 92 showing). Especially, a non-criteria slave is in PMOS switch-on, a ghost is in NMOS switch-on, and when the presumed current  $I_{estimate}(i)$  exceeds the ghost current  $I_{ghost}(i)$ , a slave is switched to NMOS switch-on. Similarly, a non-criteria slave is in NMOS switch-on, a ghost is in PMOS switch-on, and when the presumed current  $I_{estimate}(i)$  is less than the ghost current  $I_{ghost}(i)$ , a slave is switched to PMOS switch-on. If it puts in another way, when a slave will switch a presumed current, a ghost current is crossed and two currents have a reverse inclination. Thus, a slave is switched and pursues a ghost current efficiently.

[0112]

In addition, a non-criteria slave is switched to PMOS switch-on, when it switches to NMOS switch-on when the presumed current  $I_{estimate}(i)$  exceeds the upper limit current  $I_{upper}$ , or the presumed current  $I_{estimate}(i)$  is less than the minimum current  $I_{lower}$ . In order to control too much switching to which effectiveness is reduced, rise value  $\Delta I_{up-ghost}$  of a ghost's fixed inclination and downward value  $\Delta I_{down-ghost}$  of fixed inclination may be

artificially set to rise value  $\Delta I_{up}$  of the fixed inclination for a presumed current, and under downward value  $\Delta I_{down}$  of fixed inclination by about 20 - 25%. Or a ghost current exceeds the up-and-down current limiting  $I_{upper}$  and  $I_{lower}$  by the margin of the shoes set up beforehand, or it may be permitted that it is less.

[Brief Description of the Drawings]

[Drawing 1]

It is the block diagram of the switching regulator according to this invention.

[ Drawing 1 A]

It is the block diagram of another operation of the switching regulator according to this invention.

[Drawing 2]

It is the block diagram of the current sensor of the switching regulator of drawing 1 .

[Drawing 3]

It is the block diagram of the controller of the switching regulator of drawing 1 .

[ Drawing 3 A]

It is the block diagram of the controller of the switching regulator of drawing 1 A.

[Drawing 4]

It is the flow chart which shows the approach performed by the controller of drawing 3 .

[Drawing 5]

It is a timing chart in comparison with the actual current which flows a slave in a presumed current.

[Drawing 6]

It is a timing chart explaining amendment of a presumed current.

[Drawing 7]

It is a timing chart explaining the output signal from the current sensor relevant to amendment of the presumed current of drawing 6 A - drawing 6 D.

[Drawing 8]

It is a timing chart [ the actual output voltage of a switching regulator / electrical potential difference / desired ] .

[Drawing 9]

It is the simplified block diagram which is used for the decision of a desired current.

[Drawing 10]

It is the flow chart which shows the step which controls the switching circuit from the approach of drawing 4 .

[Drawing 11]

It is a flow chart explaining how to control the criteria slave of the switching regulator of drawing 1 .

[Drawing 12]

It is a timing chart explaining the current which flows the criteria slave produced from the approach of drawing 11 .

[Drawing 13]

It is a timing chart explaining the control signal to the criteria slave of drawing 11 .

[ Drawing 13 A]

It is a timing chart explaining the control signal to the criteria slave from the switching regulator of drawing 1 A.

[Drawing 14]

It is a flow chart explaining how to control the phase relation of a slave, and in drawing, one transistor is switched by presetting time amount following switching of a criteria slave, and other transistors are switched based on the comparison with a presumed current and a current limitation.

[Drawing 15]

It is a timing chart explaining the current which flows the criteria slave produced from the approach of drawing 14 , and a non-criteria slave.

[Drawing 16]

It is a flow chart explaining how to control the phase relation of a slave, and the current limitation of a non-criteria slave is adjusted by the approach.

[Drawing 17]

It is a timing chart explaining the current which flows the criteria slave produced from the approach of drawing 16 , and a non-criteria slave.

[Drawing 18]

It is a flow chart explaining how to generate a ghost current for a non-criteria slave.

[Drawing 19]

It is a flow chart explaining how to control the phase relation of a slave, and a presumed slave current is compared with

a ghost current by the approach.

[Drawing 20]

While performing the approach of drawing 18 and drawing 19 , it is a timing chart explaining the current which flows a criteria slave.

[Drawing 21]

It is a timing chart explaining the ghost switch-on for one non-criteria slave produced from the criteria slave current shown by drawing 20 .

[Drawing 22]

It is a timing chart explaining the ghost current produced from the approach shown by drawing 18 , and the ghost switch-on shown by drawing 21 .

[Drawing 23]

It is a timing chart explaining the criteria slave engine performance produced from the approach shown by drawing 19 , and the ghost current shown by drawing 22 .

[Drawing 24]

It is a flow chart explaining how to control the phase relation of a slave, and by the approach, a ghost current is generated about a criteria slave and a non-criteria slave, and it is compared with the ghost current by which a presumed slave current controls a slave.

[Drawing 25]

It is a timing chart explaining the ghost switch-on about one of the non-criteria slaves produced from a clock signal.

[Drawing 26]

It is a timing chart explaining the ghost current produced from the approach shown by drawing 18 , and the ghost switch-on shown by drawing 25 .

[Drawing 27]

It is a timing chart explaining the slave engine performance produced from the approach shown by drawing 24 , and the ghost current shown by drawing 26 .

---

[Translation done.]

\* NOTICES \*

Japan Patent Office is not responsible for any  
damages caused by the use of this translation.

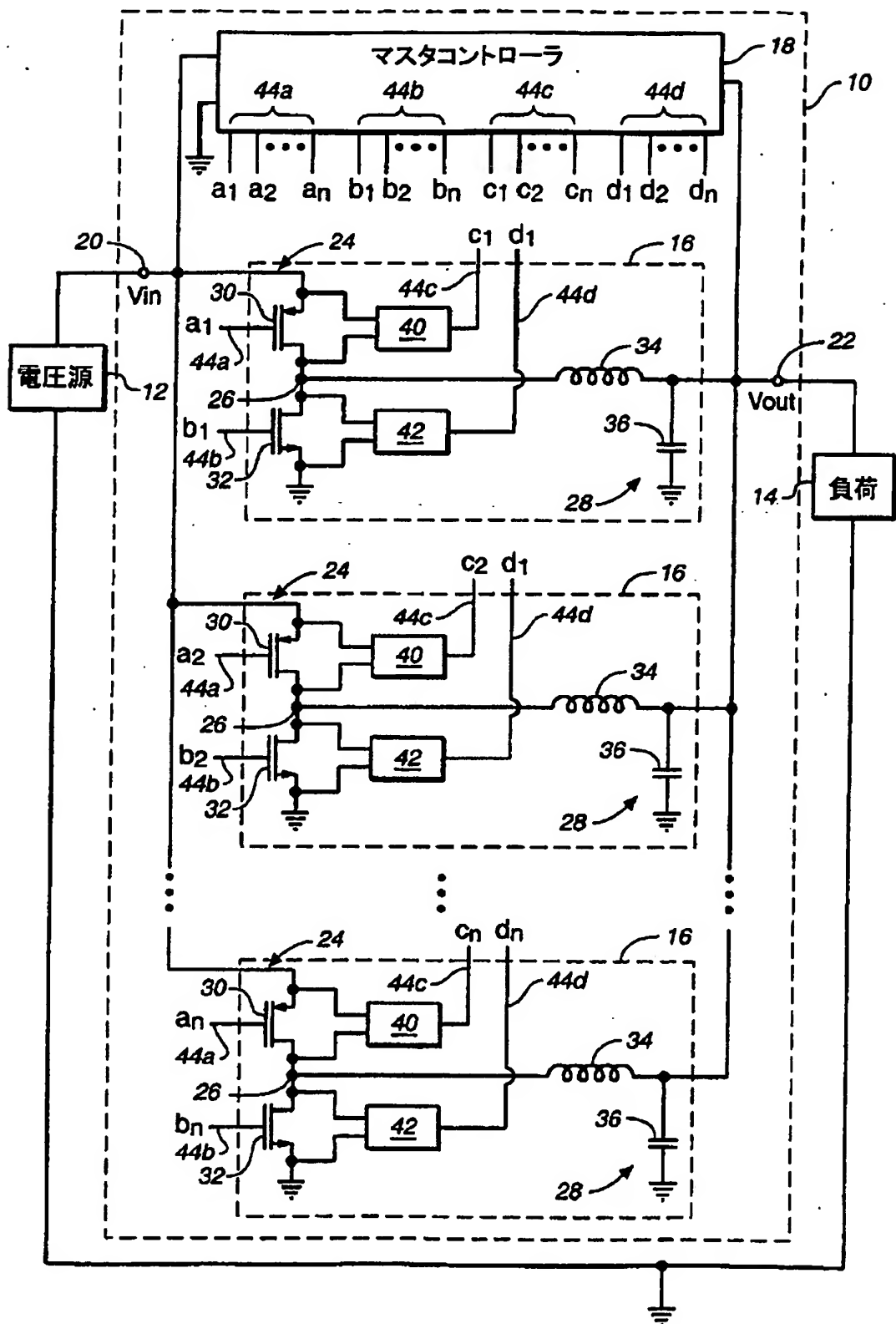
- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

DRAWINGS

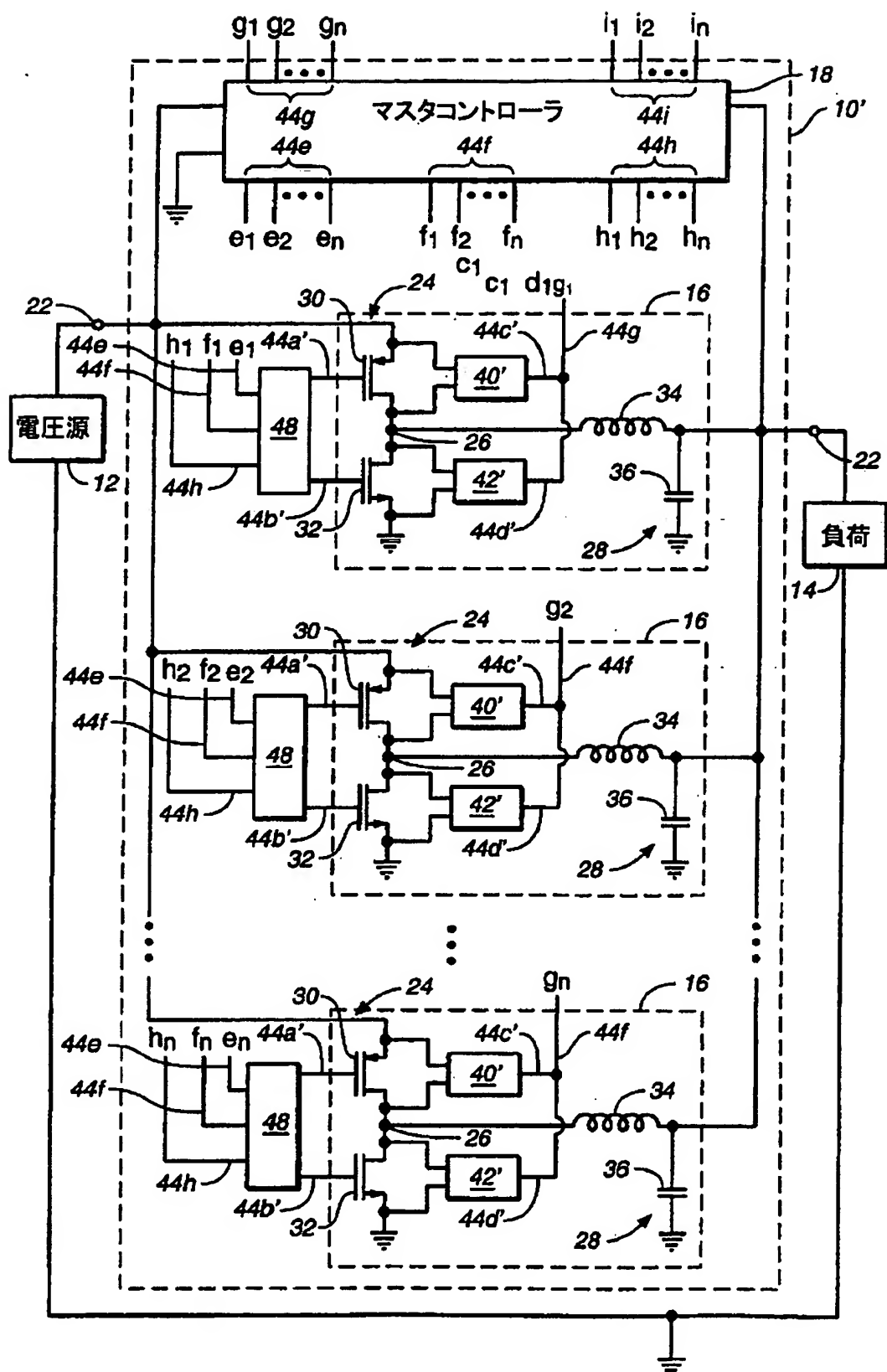
---

[Drawing 1]

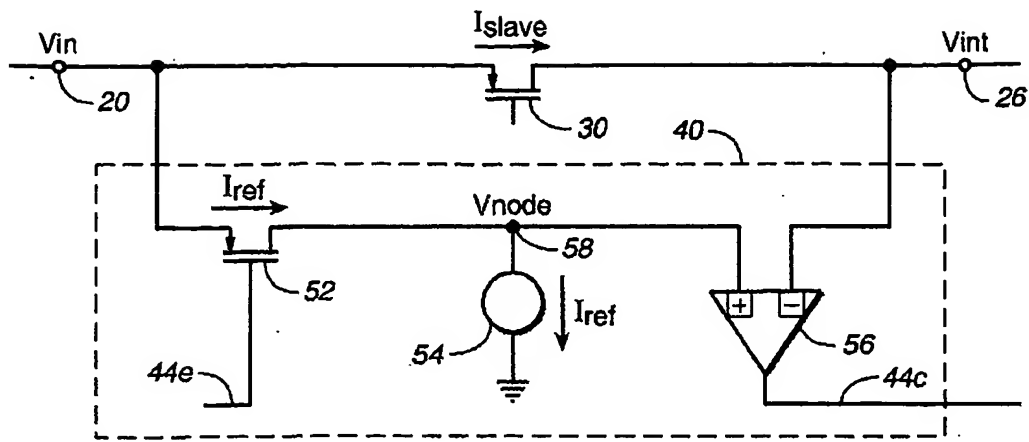


[ Drawing 1 A ]



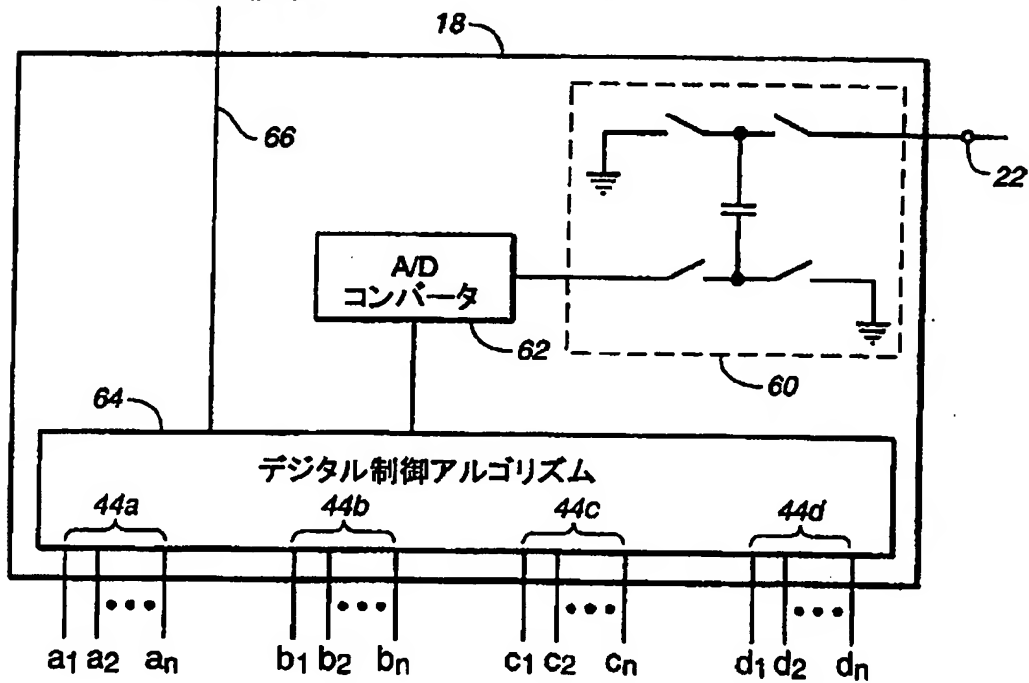


[Drawing 2]

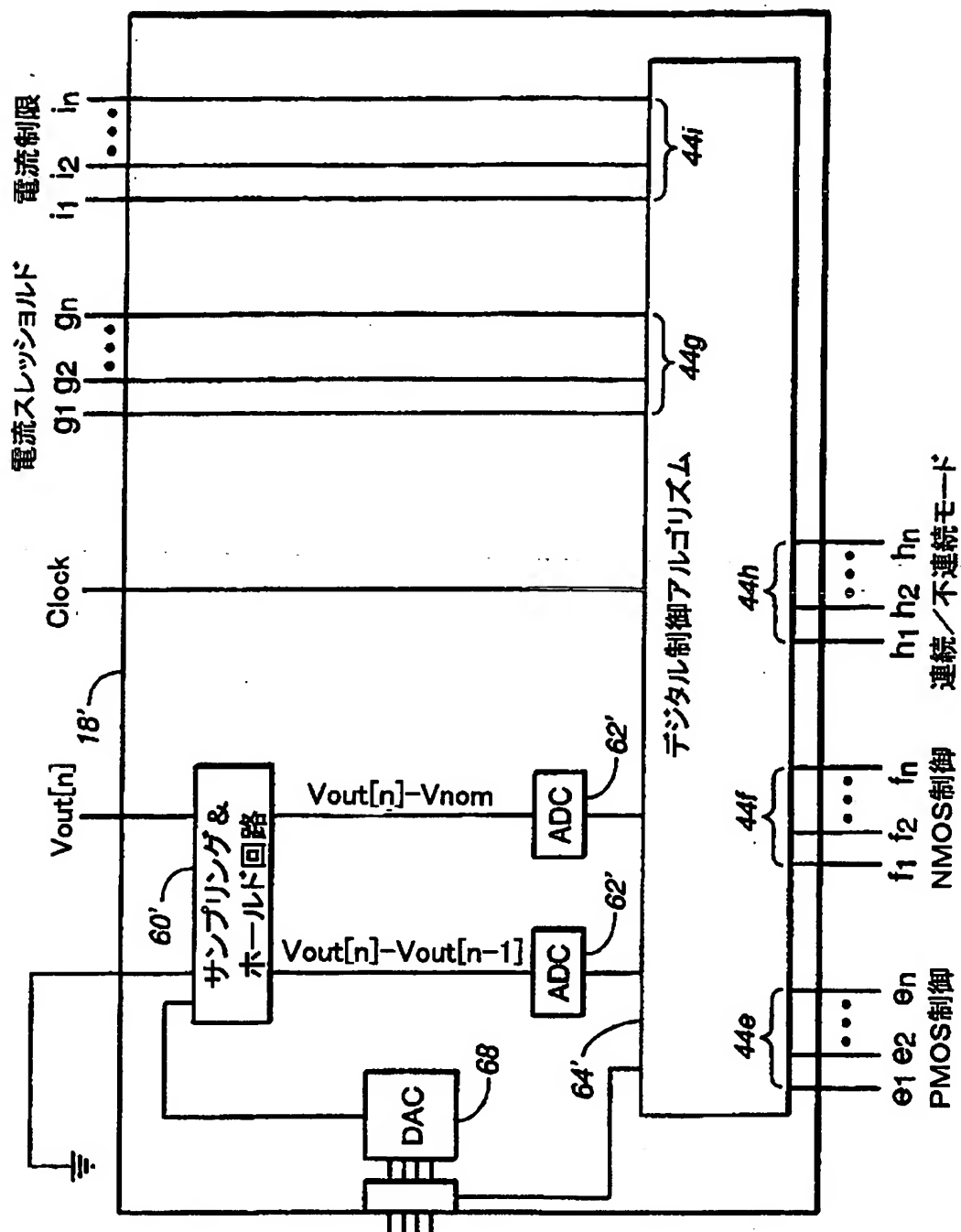
**FIG. 2**

[Drawing 3]

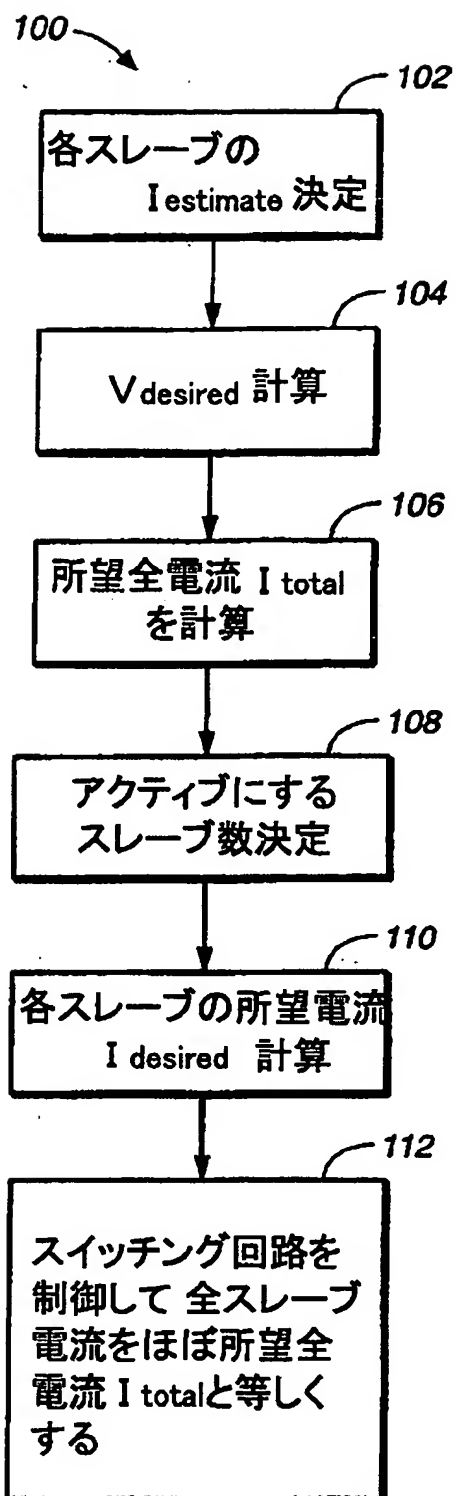
クロック信号



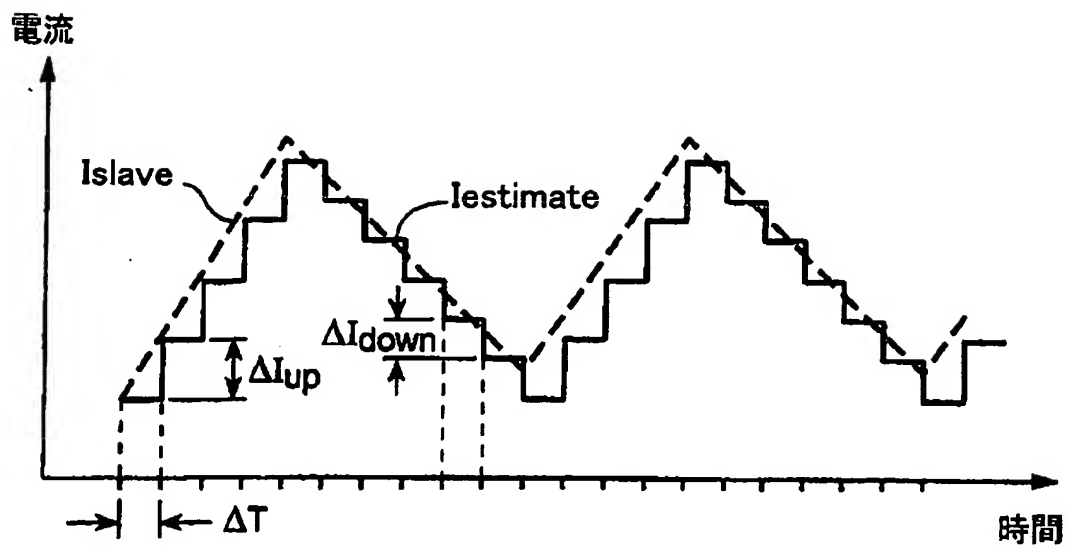
[ Drawing 3 A]



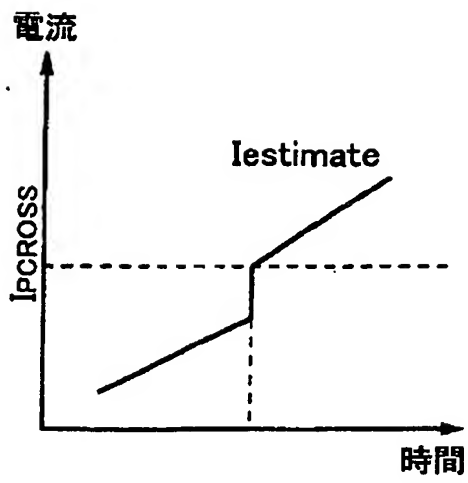
[Drawing 4]



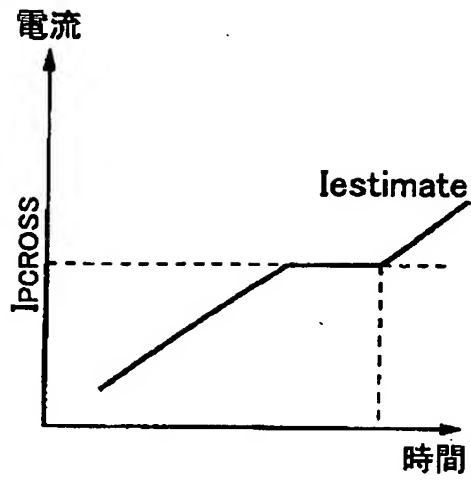
[Drawing 5]



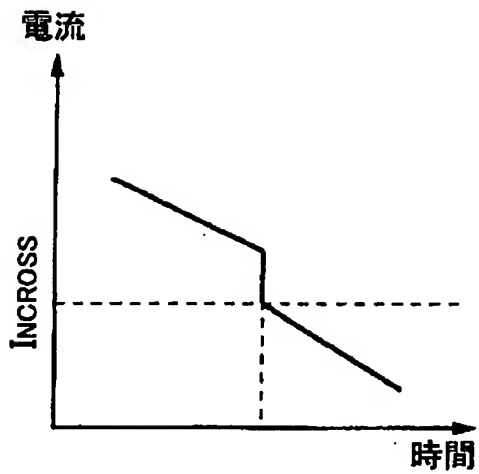
[Drawing 6]



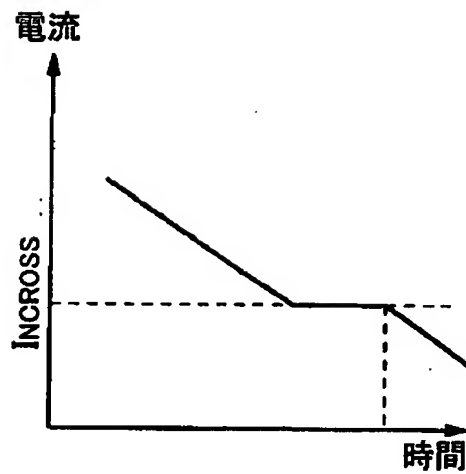
(A)



(B)

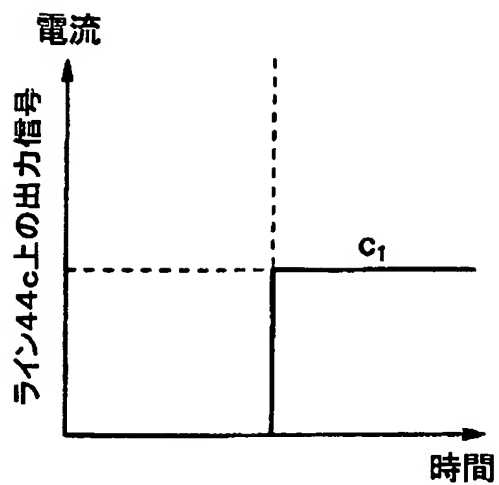


(C)

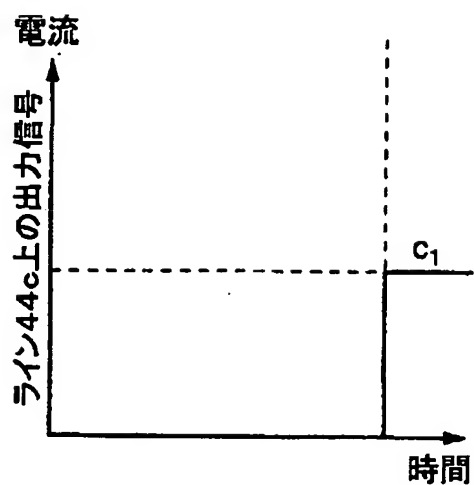


(D)

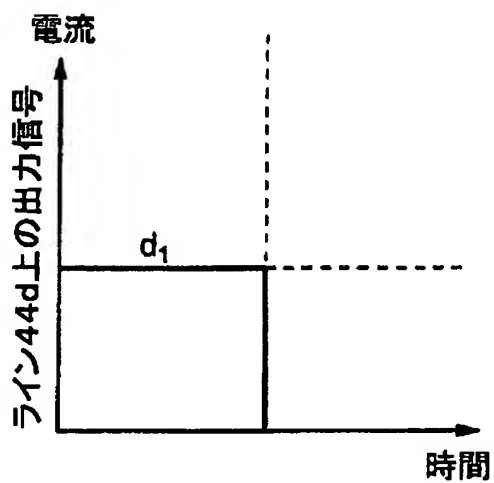
[Drawing 7]



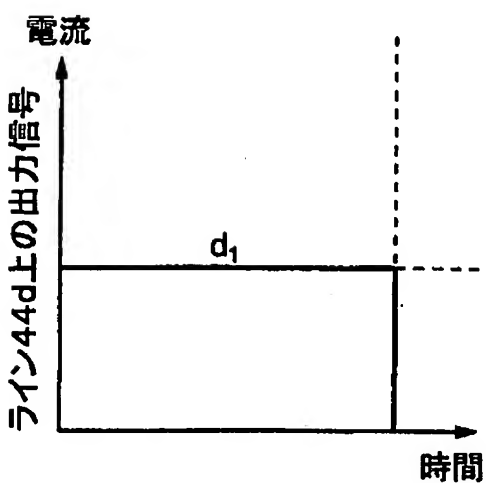
(A)



(B)

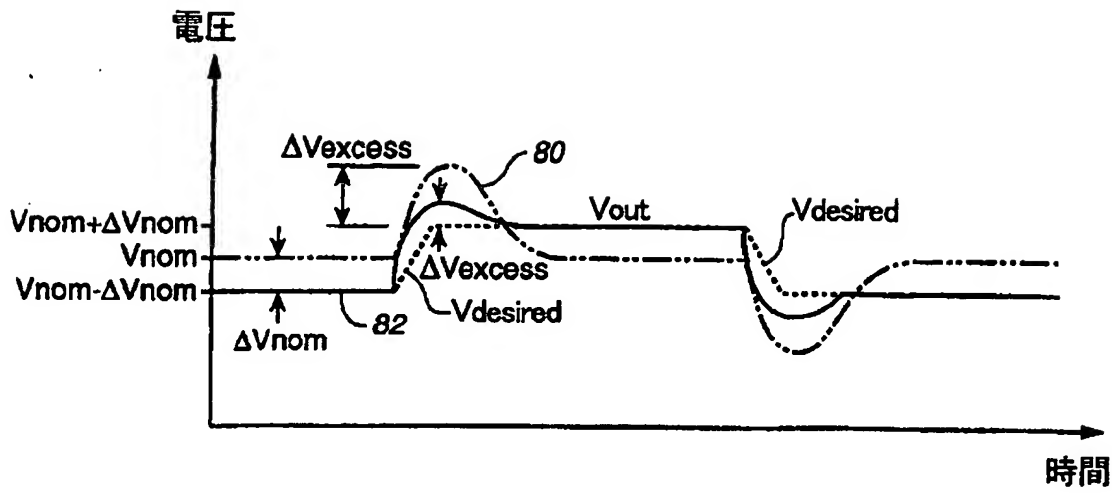


(C)

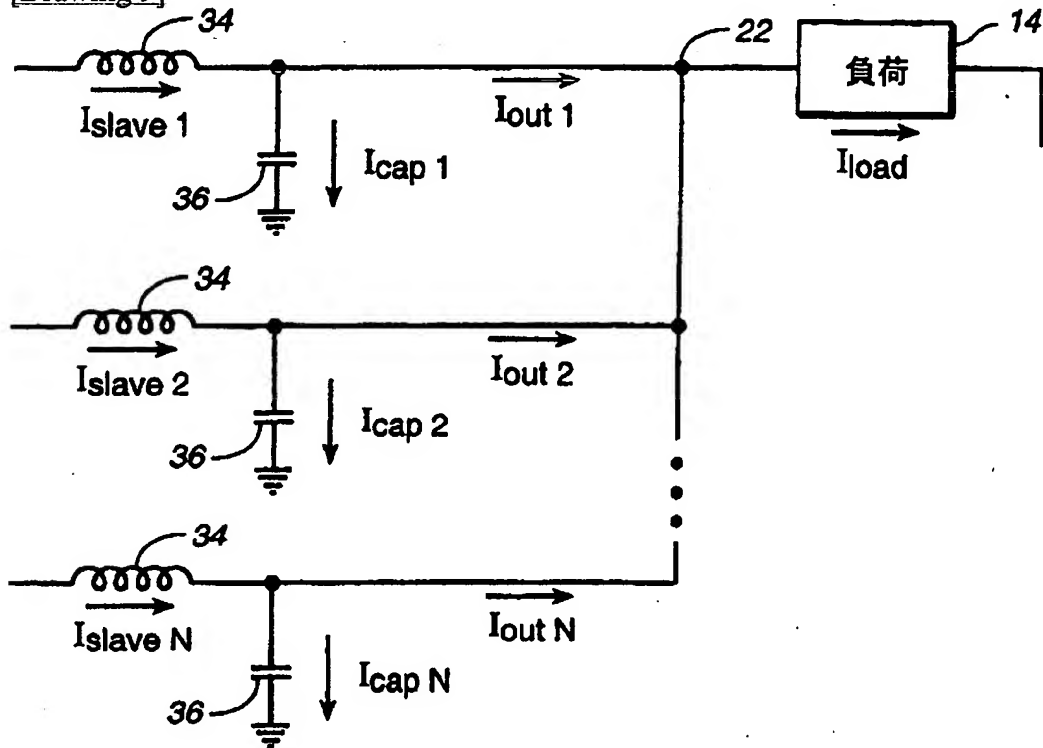


(D)

[Drawing 8]

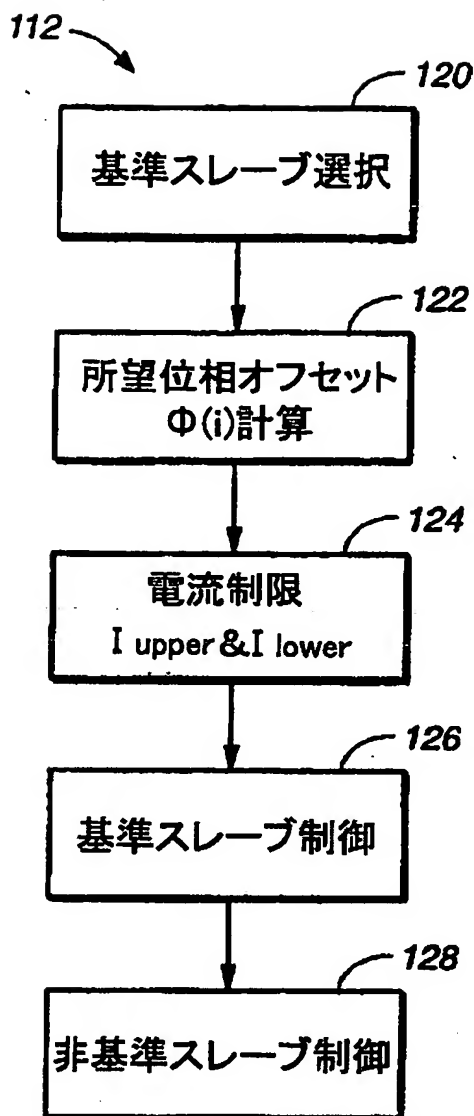


[Drawing 9]

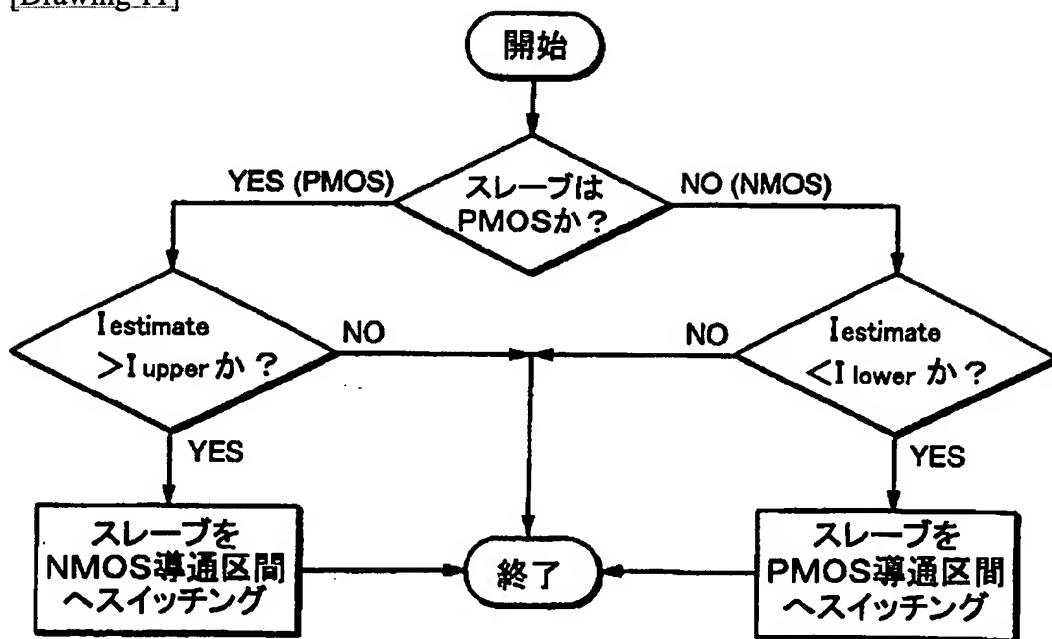


[Drawing 10]

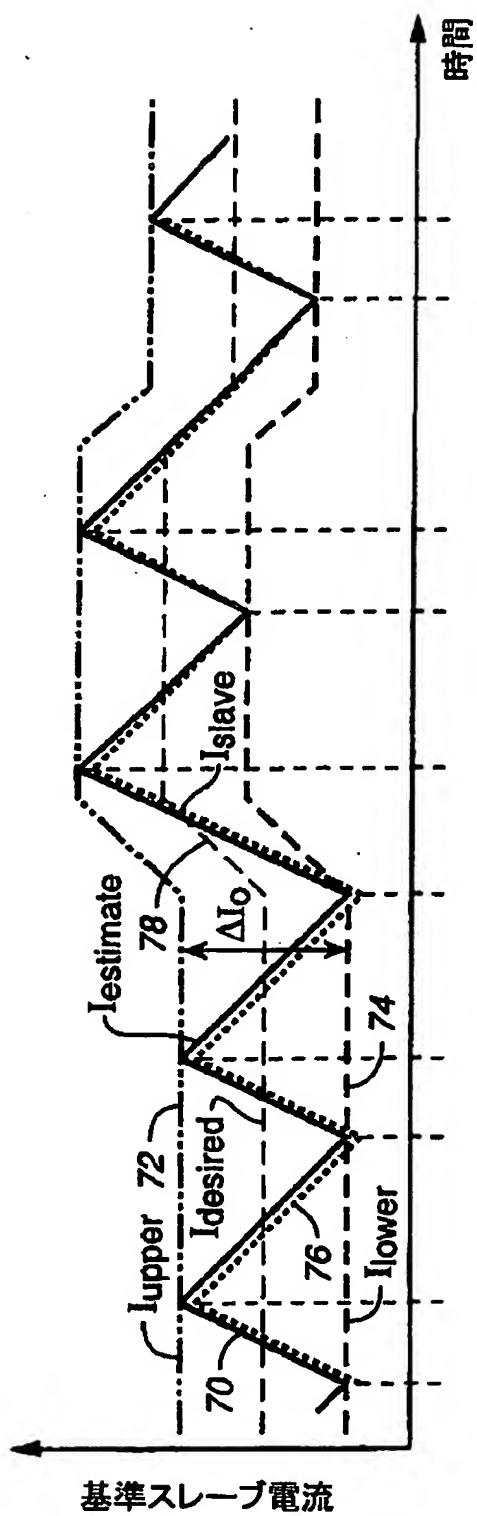




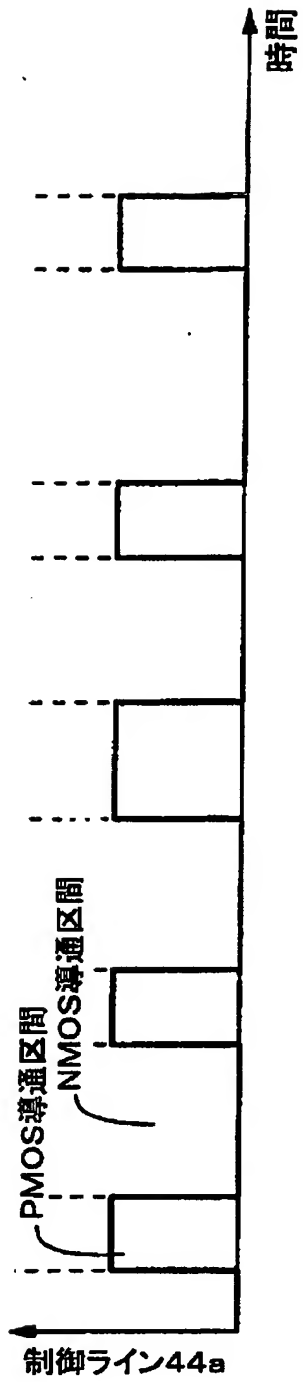
[Drawing 11]



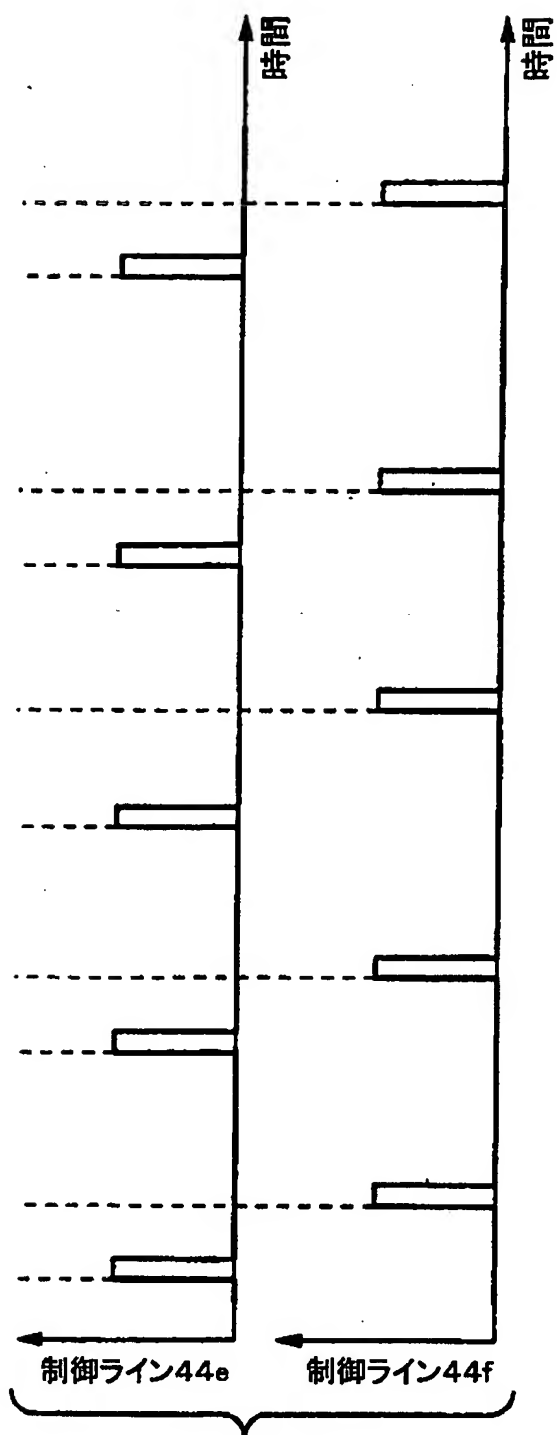
[Drawing 12]



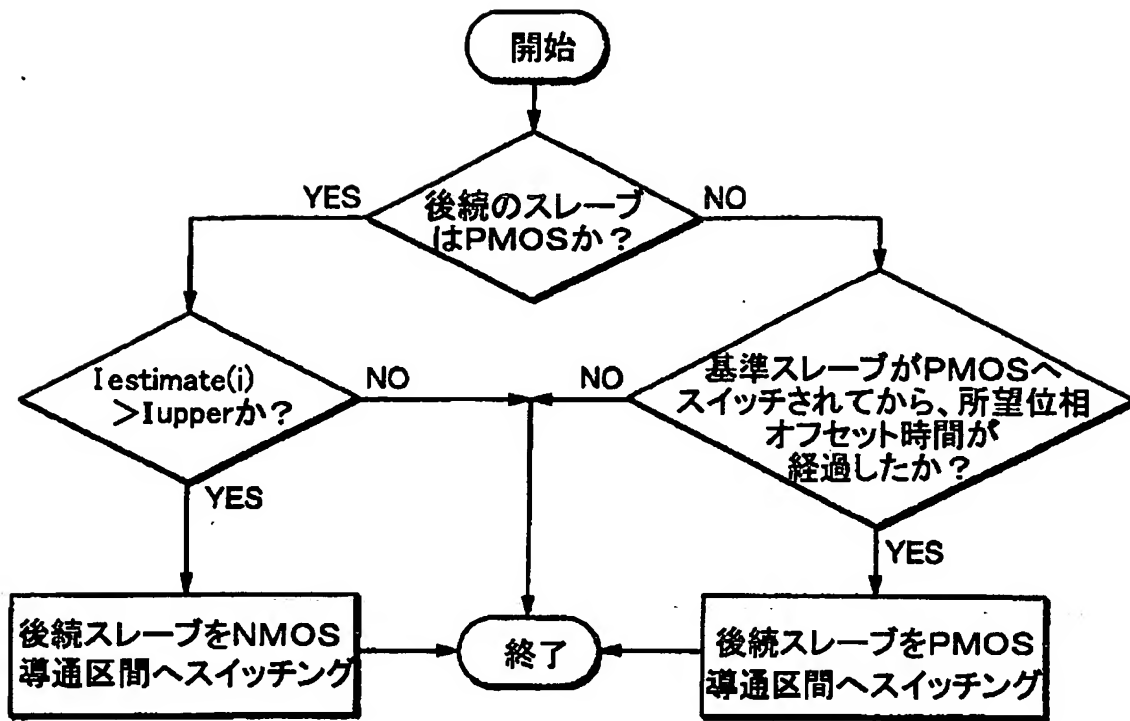
[Drawing 13]



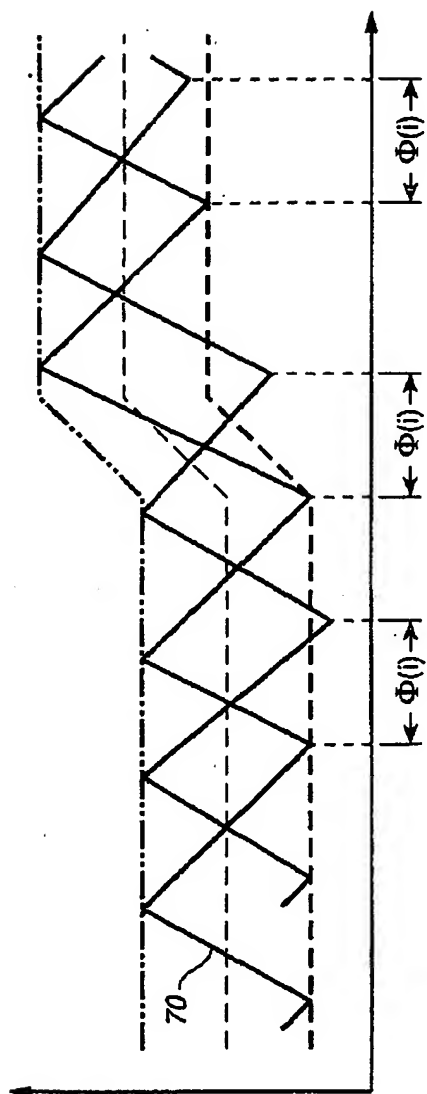
[ Drawing 13 A ]



[Drawing 14]

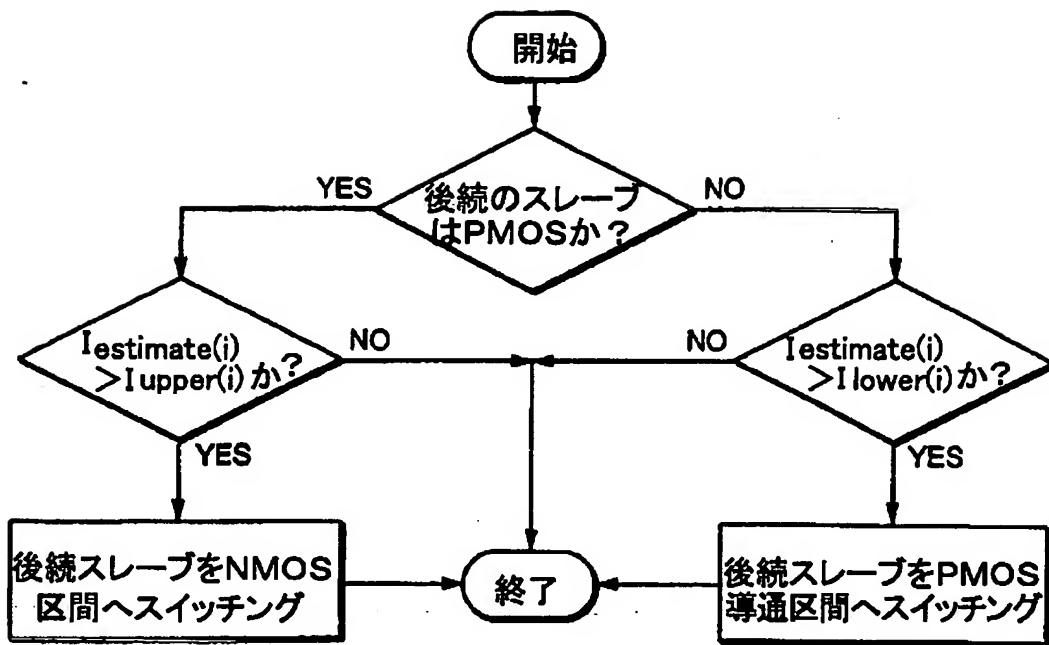


[Drawing 15]

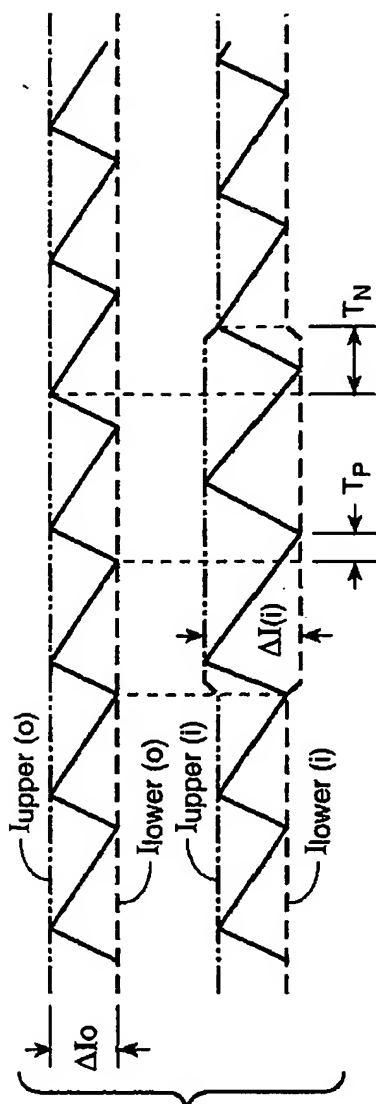


**FIG. 15**

[Drawing 16]



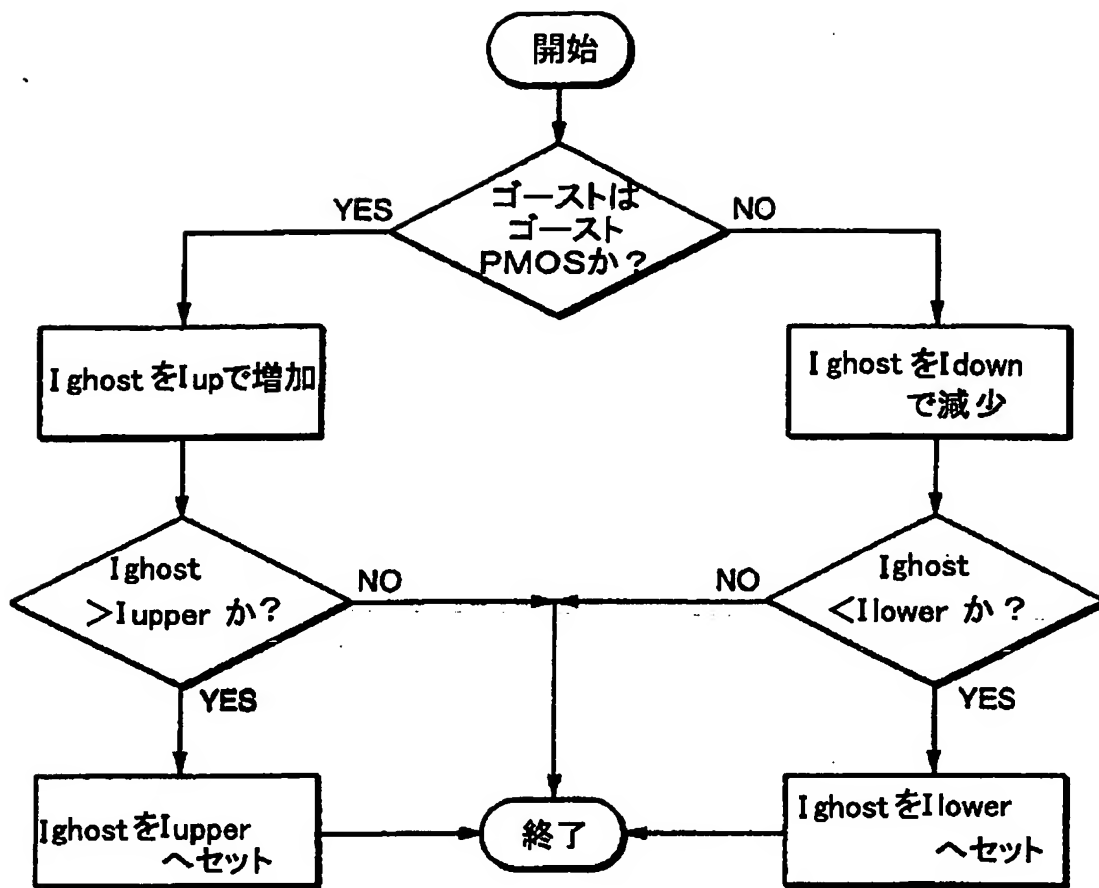
[Drawing 17]



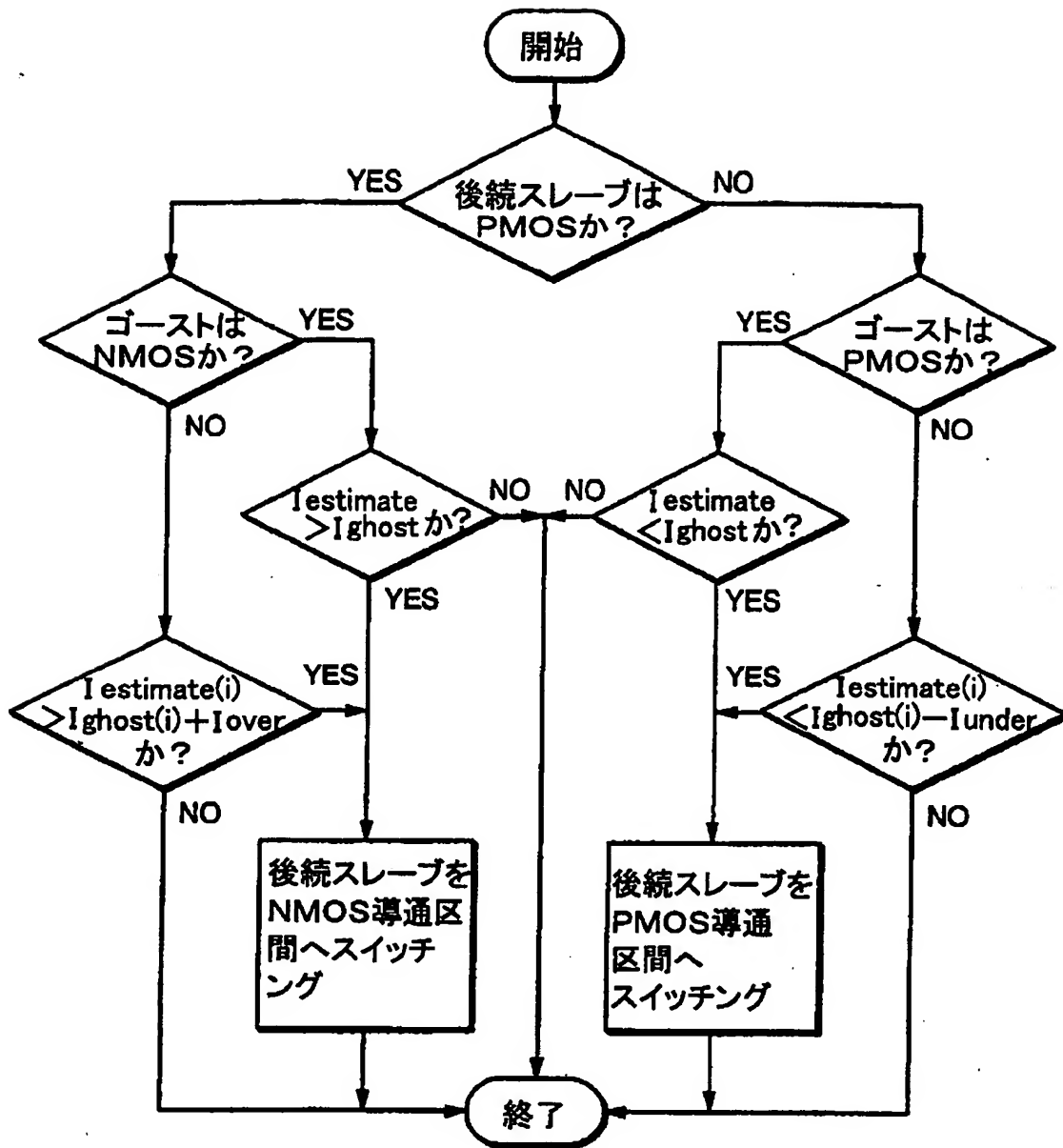
**FIG. 17**

[Drawing 18]

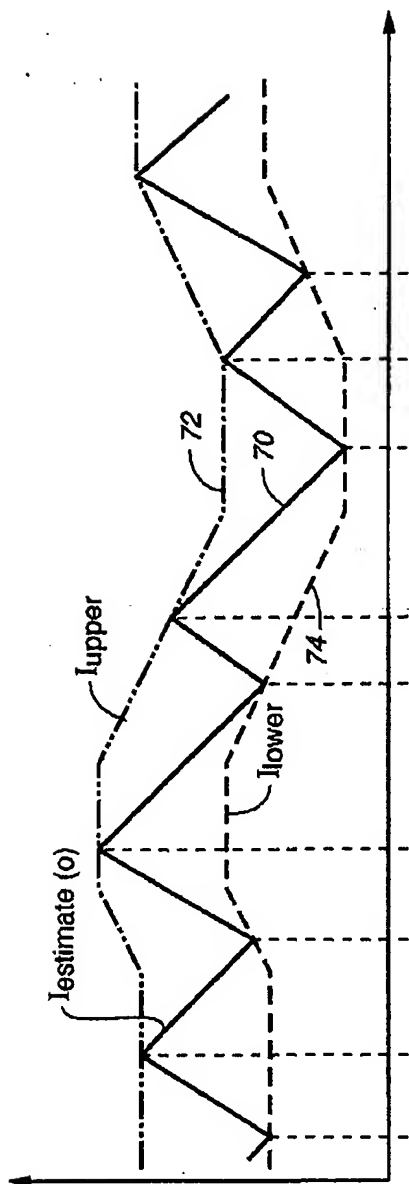




[Drawing 19]

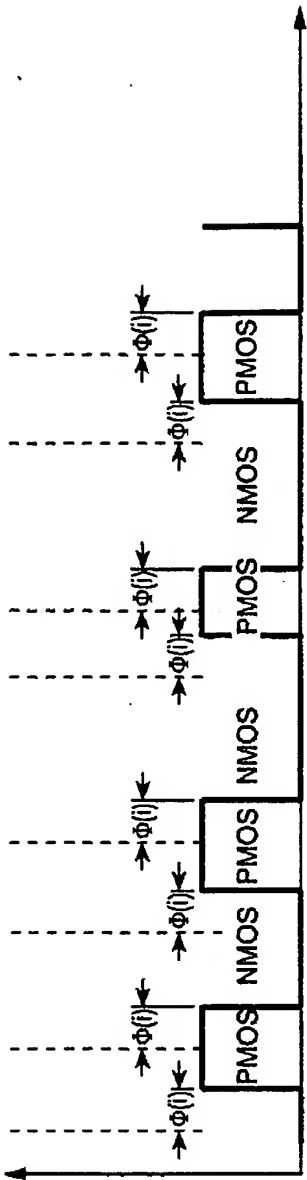


[Drawing 20]

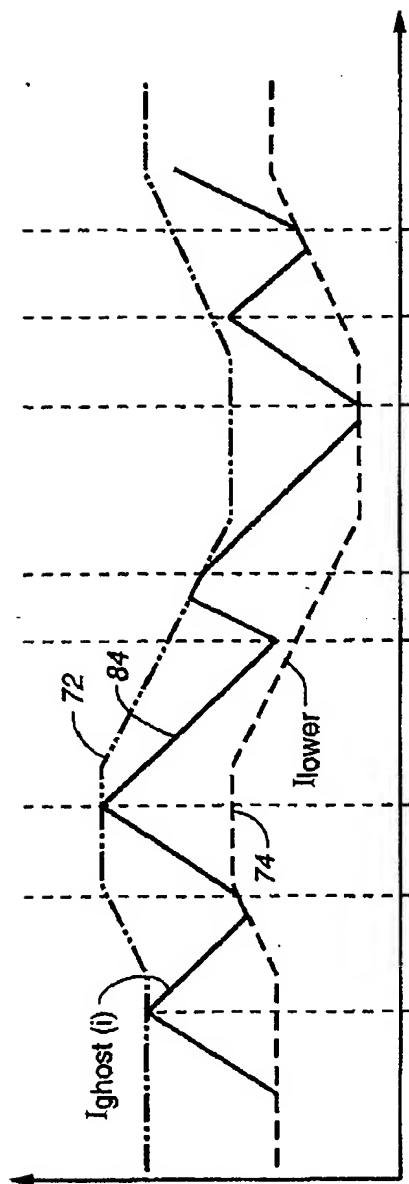


**FIG. 20**

[Drawing 21]

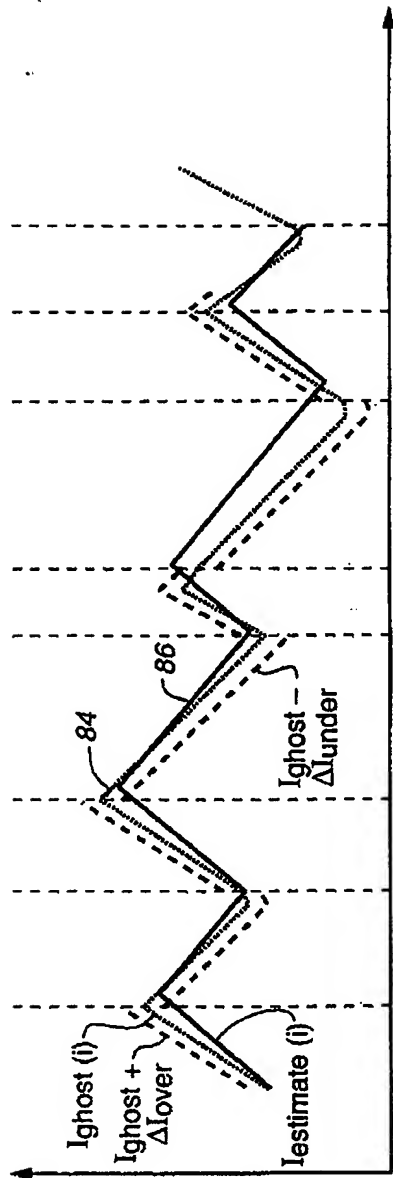
**FIG.\_21**

[Drawing 22]



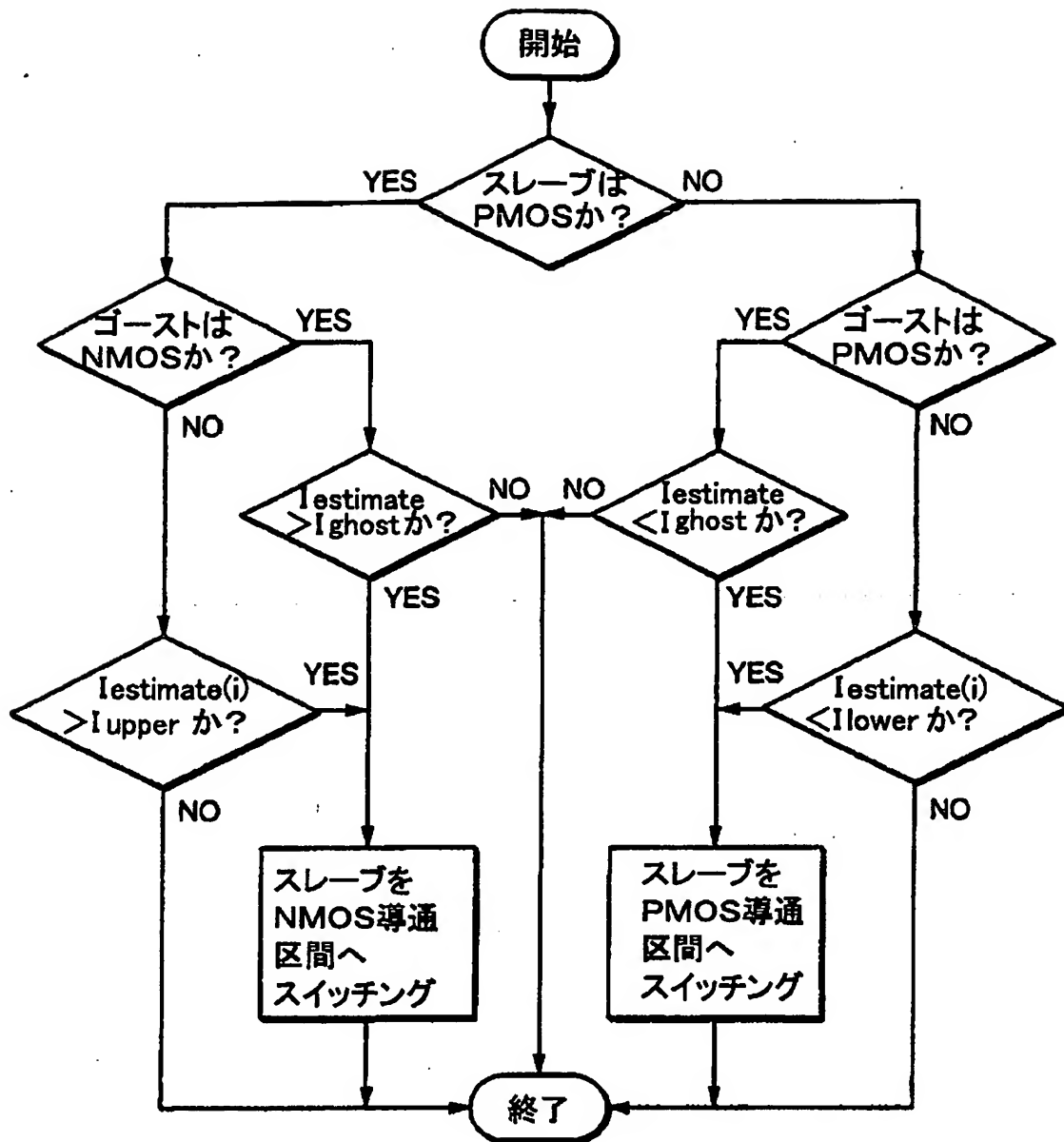
**FIG. 22**

[Drawing 23]

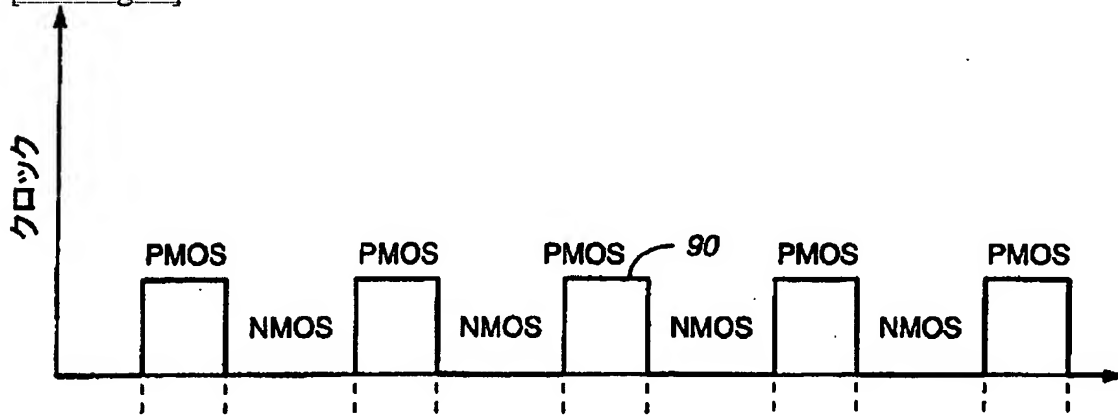


**FIG. 23**

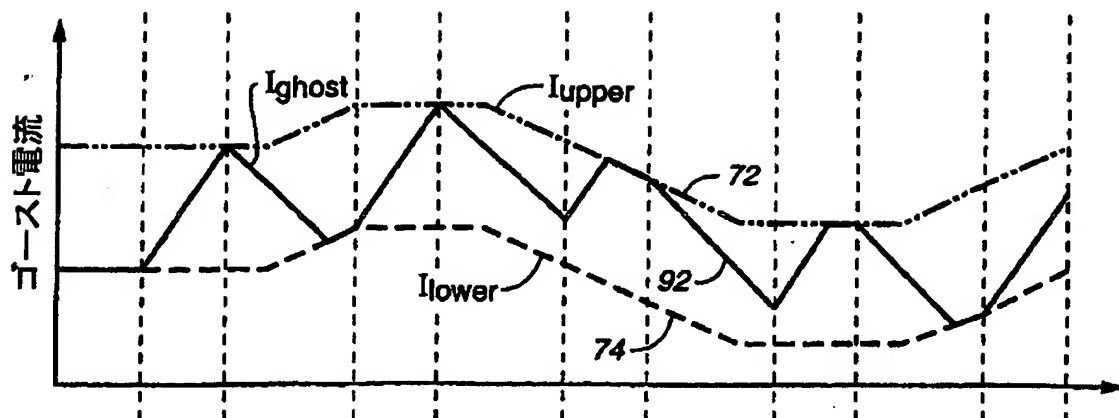
[Drawing 24]



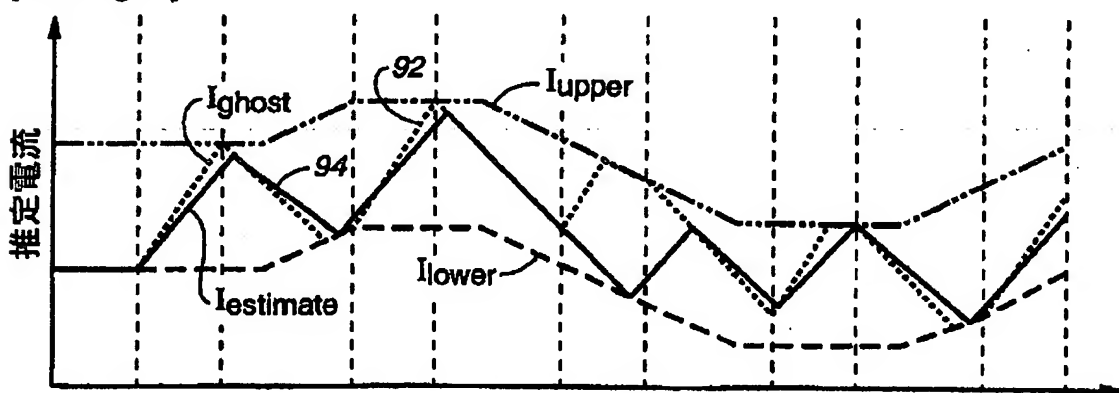
[Drawing 25]



[Drawing 26]



[Drawing 27]



[Translation done.]